

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272732

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

G06F 13/28

G06F 13/00

G06F 13/12

G06F 13/36

(21)Application number : 07-071217

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.03.1995

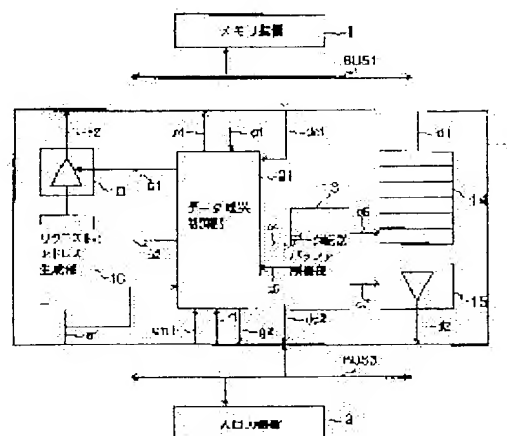
(72)Inventor : MORI ATSUSHI
FUNAKURA HIDETOSHI
NAKANO TAKASHI
HASHIZUME MASAKI

(54) METHOD AND DEVICE FOR DATA TRANSFER

(57)Abstract:

PURPOSE: To provide a data transfer device which has high performance and is inexpensive by simplifying processing regarding a data transfer as to a data transfer device which is connected to between a memory device and an input/ output device and transfers a large amount of data from the memory device to the input/output device.

CONSTITUTION: The data transfer device 2, connected to a BUS 1 for a connection with the memory device 1 and a BUS 3 for a connection with the input/ output device 3, is equipped with a buffer 14 for holding data read out of the memory device 1, a request control part which generates a memory read request from the input/output device 3 or a read request to the memory device 1 according to the rest of data stored in the buffer, and a buffer control part 13 which writes data in the buffer 14, reads data out of the buffer, and initializes the buffer 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-272732

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/28	3 1 0	9172-5E	G 0 6 F 13/28	3 1 0 J
13/00	3 0 1		13/00	3 0 1 A
13/12	3 3 0	7368-5E	13/12	3 3 0 B
13/36	3 1 0	9172-5E	13/36	3 1 0 F

審査請求 未請求 請求項の数9 O L (全 27 頁)

(21) 出願番号 特願平7-71217

(22) 出願日 平成7年(1995)3月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 毛利 篤史

鎌倉市大船五丁目1番1号 三菱電機株式

会社情報システム研究所内

(72) 発明者 船倉 英俊

鎌倉市大船五丁目1番1号 三菱電機株式

会社情報システム研究所内

(72) 発明者 中野 孝

鎌倉市大船五丁目1番1号 三菱電機株式

会社情報システム研究所内

(74) 代理人 弁理士 宮田 金雄 (外3名)

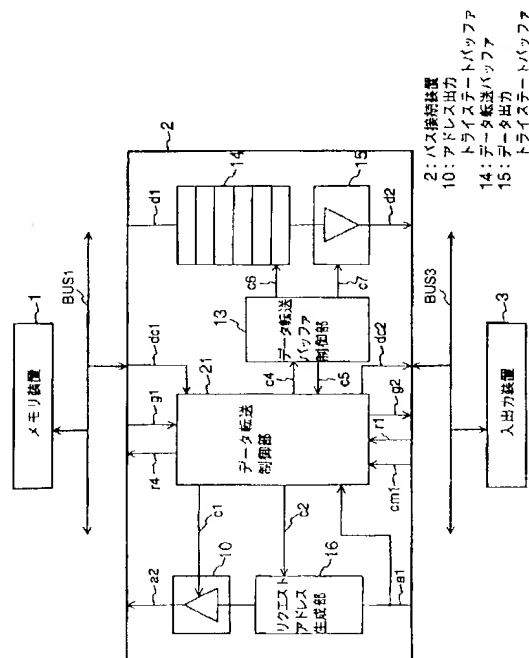
最終頁に続く

(54) 【発明の名称】 データ転送方法及びデータ転送装置

(57) 【要約】 (修正有)

【目的】 メモリ装置と入出力装置との間に接続され、メモリ装置から入出力装置に多量のデータ転送処理を行なうためのデータ転送装置に関し、データ転送処理に関する処理を簡素化することによって高性能でかつ安価なデータ転送装置を提供する。

【構成】 メモリ装置1と接続するためのBUS1と、入出力装置3と接続するためのBUS2とに接続されたデータ転送装置2であって、メモリ装置1から読み出したデータを保持しておくためのバッファと、入出力装置1からのメモリ読み出しリクエストまたはバッファに蓄えておいたデータの残量によってメモリ装置に読み出しリクエストを生成するリクエスト制御部と、バッファへのデータの書き込み、バッファからのデータの読み出し、バッファの初期化を行なうためのバッファ制御部を備える。



【特許請求の範囲】

【請求項 1】 記憶装置と入出力装置との間でデータ転送を行うデータ転送方法において、

上記入出力装置からの第 1 の要求アドレスが、前回の要求アドレスと連続しているかどうか判定する第 1 のステップと、

上記第 1 のステップにおいて連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送する第 2 のステップと、

上記第 1 のステップにおいて連続していると判定されたときに、上記第 1 の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出してデータバッファに格納する第 3 のステップと、

上記入出力装置からの第 2 の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定する第 4 のステップと、

上記第 4 のステップにおいて一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ転送する第 5 のステップと、

上記第 4 のステップにおいて一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送する第 6 のステップとを備えたデータ転送方法。

【請求項 2】 記憶装置と入出力装置との間でデータ転送を行うデータ転送装置において、上記記憶装置からデータを読み出す読出手段と、上記読出手段により読み出したデータを保持するデータバッファと、上記データバッファからデータを取り出して、上記入出力装置へ出力する出力手段と、上記記憶装置からデータを読み出して上記入出力装置へ転送する転送手段と、上記入出力装置からの第 1 の要求アドレスが前回の要求アドレスと連続しているかどうか判定するとともに、上記入出力装置からの第 2 の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定する判定器と、上記判定器によりアドレスが連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御するとともに、上記判定器によりアドレスが一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御する第 1 の制御部と、上記判定器によりアドレスが連続していると判定されたときに、上記第 1 の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記データバッファに格納するように上記読出手段を制御するとともに、上記判定器によりアドレスが一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ出力するように上記出力手段を制御する第 2 の

制御部とを備えたことを特徴とするデータ転送装置。

【請求項 3】 記憶装置と複数の入出力装置との間でデータ転送を行うデータ転送装置において、上記複数の入出力装置に対応して上記記憶装置からデータをそれぞれ読み出す複数の読出手段と、上記複数の読出手段により読み出したデータをそれぞれ保持する複数のデータバッファと、上記複数のデータバッファからデータを取り出して、上記複数の入出力装置へそれぞれ出力する複数の出力手段と、上記記憶装置からデータを読み出して上記複数の入出力装置へ転送する転送手段と、上記複数の入出力装置からの第 1 の要求アドレスが前回の要求アドレスと連続しているかどうかそれぞれ判定するとともに、上記複数の入出力装置からの第 2 の要求アドレスが上記複数のデータバッファに格納された複数のデータのアドレスと一致するかどうかそれぞれ判定する複数の判定器と、上記複数の判定器によりアドレスが連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御するとともに、上記複数の判定器によりアドレスが一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御する複数の第 1 の制御部と、上記複数の判定器によりアドレスが連続していると判定されたときに、上記第 1 の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記複数のデータバッファにそれぞれ格納するように上記読出手段を制御するとともに、上記複数の判定器によりアドレスが一致していると判定されたときに、上記複数のデータバッファから対応するデータを読み出して上記複数の入出力装置へそれぞれ出力するように上記複数の出力手段を制御する複数の第 2 の制御部と、上記複数の入出力装置からの複数の要求をあらかじめ定められた優先順位に基づき選択する選択部とを備えたことを特徴とするデータ転送装置。

【請求項 4】 上記データバッファをバイパスするように設けられ、上記記憶装置からデータを読み出して上記入出力装置へデータを転送するバイパス手段を備え、上記第 2 の制御部が、連続アドレスの条件が成立した後に不連続アドレスを受けたとき、上記不連続アドレスに対応するデータについて上記バイパス手段によりデータ転送を行うように制御することを特徴とする請求項 2 または請求項 3 に記載のデータ転送装置。

【請求項 5】 上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上記エラーが発生したときに上記データバッファの内容を消去する消去手段とを備えたことを特徴とする請求項 2 または請求項 3 に記載のデータ転送装置。

【請求項 6】 上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上

記エラーが発生したときにエラーデータに対応するフラグがセットされるエラーフラグレジスタとを備えたことを特徴とする請求項2または請求項3に記載のデータ転送装置。

【請求項7】 上記判定器に、前回の要求アドレスと前回のデータ転送サイズとを加算して得たアドレスと、上記入出力装置からの要求アドレスとを比較する第1の比較器と、上記入出力装置からの今回のデータ転送サイズとあらかじめ定められた最大転送サイズとを比較する第2の比較器と、上記第1の比較器が一致を出力し、かつ、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力するときに、上記要求アドレスが連続していると判定する論理回路とを備えたことを特徴とする請求項2ないし請求項6いずれかに記載のデータ転送装置。

【請求項8】 上記判定器に、上記前回のデータ転送サイズが上記最大転送サイズに一致するときにフラグがセットされるフラグレジスタを備え、上記論理回路を、上記第1の比較器が一致を出力し、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力し、かつ、上記フラグレジスタがセットされているときに、上記要求アドレスが連続していると判定する論理回路とを備えたことを特徴とする請求項7記載のデータ転送装置。

【請求項9】 上記論理回路を、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズに一致していると出力するときに、上記要求アドレスが連続していると判定するように構成したことを特徴とする請求項7記載のデータ転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、異なるバス間でデータ転送を効率よく行なうデータ転送方法及びデータ転送装置に関するものである。

【0002】

【従来の技術】 コンピュータシステムの構成は、図14に示すようなものである。すなわち、このコンピュータシステムの構成100のように、通常CPUと呼ばれる中央演算処理装置と、メモリ装置と、そして、入出力装置とから構成されている。中央演算処理装置とメモリ装置の間は比較的高速なシステムバス（SYSTEM BUS）で接続されており、メモリ装置と入出力装置の間は比較的低速なバス（BUS）2で接続されている。入出力装置1は、比較的低速なアクセスタイムを持つが大容量である磁気ディスク等の外部記憶装置であり、メモリ装置は比較的高速なアクセスタイムを持つが小容量であるDRAM等のメモリである。

【0003】 通常、アプリケーションプログラム等を実行する場合は、はじめに入出力装置1にプログラムを格納しておき、プログラム実行時にはバス2を介してメモ

リ装置にロードする。そしてロードされたプログラムは、システムバスを介して中央演算処理装置によって実行される。このようなシーケンスを実行することによって、大容量のプログラムを高速に実行している。

【0004】 近年では、システム構成が複雑になってきたり、入出力装置側からの様々な要求があることから、メモリ装置と入出力装置間で異なる仕様のバスを接続するような場合が出てきた。そのような場合は、図14の101に示すように、メモリ装置と入出力装置2間をバス接続装置を介して接続しなければならない。例えば、より高速なデータ転送を実行しようという要求から、バス2よりも高速なバス1を導入するため、低速なバス3を持つ入出力装置2をバス1と接続するためにはバス接続装置を介する必要がある。

【0005】 また、独特なインターフェイスであるバス3を持つ入出力装置2をバス1に接続するために、バス接続装置を介す必要がある場合もある。また入出力装置から中央演算処理装置を介さずに、直接メモリ装置にアクセスする手法すなわちDMA（ダイナミック・メモリ・アクセス）手法を用いるために、その制御を司るバス接続装置を介して入出力装置を接続する場合もある。

【0006】 通常、図14の101のような構成の場合バス接続装置としては、バスブリッジDMAデータ転送装置を用いる場合が多い。バスブリッジDMAデータ転送装置については、後に、図15～図16に基づき説明するが、バスブリッジの場合は、バス1とバス3がほぼ同程度の転送速度（単位時間に転送されるデータ量）を持っており、バス1のデータ転送内容をほぼ透過的にバス3に伝えること目的にしている。そのため、バスブリッジの回路構成は比較的単純であり、データ転送制御に関して複雑な処理はほとんど行っていない。

【0007】 一方、DMA転送制御については、後に、図17～図19に基づき説明するが、DMA転送制御の場合は、バス1の転送速度がバス3の転送速度よりもかなり高速な場合に用いられる場合が多い。すなわち、DMA転送装置に入出力装置からのバス3を介してリクエストされるデータをリードしてくる処理を制御させる方が、バス1の空いている時に高速にデータリードが可能となる。しかしその場合は、特開平5-334232号公報記載のDMA転送制御装置について説明されているように、アドレスカウンタ以外に総データ転送数を知るためのサイズカウンタを内蔵する必要があり、制御が複雑になる可能性がある。

【0008】 まず、バスブリッジDMAデータ転送装置について、図15～図16に基づき説明する。図15に、バスブリッジの場合の回路構成図（但し、回路構成図は入出力装置からメモリ装置に対してデータフェッチ処理のみしか記述していない。）を示す。1はメモリ装置、3は入出力装置、110はバスブリッジで構成され

るバス接続装置である。メモリ装置とバス接続装置はバス1で接続されており、入出力装置とバス接続装置はバス3で接続されている。

【0009】次に、入出力装置3とバス接続装置110間のインターフェイス信号について説明する。a1はアドレスバス、cm1はリード/ライト等を指定するコマンド制御信号線、r1はリクエスト信号線、g2はアクノリッジ信号線、dc2はデータコンプリート信号線、d11はデータ信号線である。

【0010】次に、メモリ装置1とバス接続装置110間のインターフェイス信号について説明する。a2はアドレス信号線、r2はリクエスト信号線、g1はアクノリッジ信号線、dc1はデータコンプリート信号線、d10はデータバスである。

【0011】また、バス接続装置110内部の信号c1、c2、c50、c51は、データフェッチを制御するための信号線である。バス接続装置110内部において、10はアドレス出力トライステートバッファ、11はアドレスレジスタ、12はデータ転送制御部、14はデータレジスタ、15はデータ出力トライステートバッファである。

【0012】次に、図15に示すバス接続装置110の動作について、図16のタイミングチャートを用いて、入出力装置3からのメモリ装置1に対するデータフェッチ処理に即して説明する。まず入出力装置3からバス接続装置1に対してデータフェッチのためのリクエスト信号r1が出力される。バス接続装置110は、リクエストを受けると他の入出力装置とデータの転送を行っていないければ、入出力装置3に対してアクノリッジ信号g2を出力する。この時点で、入出力装置110はバス3のバス権（バス3を用いてバス接続装置との間で自由にデータの送受を行なうことができるための権利）を獲得したことになる。

【0013】バス権の獲得に同期して、入出力装置3はリクエストアドレスa1とコマンド制御信号cm1をバス接続装置110に出力する。バス接続装置110では、データ転送制御部12から、制御信号c2を出力して、アドレスa1をアドレスレジスタ11に取り込んで、データフェッチリクエストr2をメモリ装置1に対して出力する。メモリ装置1でこのリクエストを受け付けば、バス接続装置に対してアクノリッジ信号g1を出力する。この時点でバス3の時と同様に、バス接続装置はバス1のバス権を獲得したことになる。

【0014】アクノリッジ信号に同期して、バス接続装置110では、制御信号c1によってアドレス出力トライステートバッファ10より、リクエストアドレスa2をメモリ装置1に対して出力する。メモリ装置1では、そのアドレスa2に対応した、フェッチ対象のデータをデータコンプリート信号線dc1と共にデータバスd10に出力する。バス接続装置110では、データコンプ

リート信号線がアサートされたタイミングで、制御信号c50によりそのデータをデータレジスタに取り込む。そして制御信号c51によりデータ出力トライステートバッファから、データコンプリート信号線dc2と共にデータバスd11によりデータを出力する。データはバス3を介して、入出力装置3に入力される。入出力装置3は、データコンプリート信号線dc2がアサートされたタイミングで、データを取り込む。

【0015】以上の動作を、図16に示すバス接続装置によるデータフェッチ処理のタイミングチャートに基づき、さらに詳細に説明する。このタイミングチャートは、図15の動作説明の箇所て述べた各種信号線の動作を時系列的に示したものである。このタイミングチャートは、バス1とバス3のデータ転送サイズ（データバスのビット数）が同じ（すなわち固定長のデータ転送サイズ）で、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提にしている。X1~X12は、それぞれのクロックサイクルを示している。

【0016】まず入出力装置3から、X1に同期してリクエスト信号r1が出力され、そのリクエストに対してX1内にバス接続装置からアクノリッジg2が返される。入出力装置3はアクノリッジg2を受け付けると、バス接続装置110に対してリクエストアドレスA1をa1を介して出力する。バス接続装置110は、X2でリクエストアドレスをアドレスレジスタに取り込むと、リクエストr2をX3に同期してメモリ装置1に対して出力する。

【0017】メモリ装置1は、X3中にアクノリッジ信号g1をバス接続装置110に対して出力する。バス接続装置110は、アクノリッジ信号g1を受け付けると、リクエストアドレスA1をa2を介して出力する。メモリ装置1は、そのアドレスA1をX4中に受け付けると、デコードしてそのアドレスに対するデータD1をデータコンプリート信号dc1と共にバス接続装置に出力する。バス接続装置110は、データコンプリート信号dc1がアサートされたX5のタイミングでデータD1をd10を介してデータレジスタに取り込むとともに、データコンプリート信号dc2と共にデータD1をd2を介して入出力装置3に出力する。

【0018】入出力装置3は、データコンプリート信号dc2がアサートされたタイミングX6でデータを取り込む。そしてX7のタイミングで次にリクエスト信号R2を出力する。リクエスト信号R2に対する処理は、リクエスト信号R1に対するデータフェッチシーケンス同じ処理でデータのフェッチが実行される。すなわちR1のリクエストに対して、6クロックサイクルかかっているので、R2のリクエストに対しても同様に6クロックサイクルかかることになる。これらのデータフェッチ処理は、最短の場合について示したが、実際は、X1やX

3中において、バス権を獲得するまでの間の処理にクロック数を費やすことがある。

【0019】次に、DMA転送制御について、図17～図19に基づき説明する接続装置がDMA制御装置である場合の構成図を、図17に示す。図17は、図15と同様に、入出力装置3からメモリ装置1に対してなされるデータフェッチ処理のみしか示していない。

【0020】1はメモリ装置、3は入出力装置、111はDMA制御を行なうバス接続装置である。メモリ装置1とバス接続装置111はバス1で接続されており、入出力装置3とバス接続装置111はバス3で接続されている。

【0021】次に、入出力装置3とバス接続装置111間のインターフェイス信号について説明する。a1はアドレス信号線、cm1はリード／ライト等を指定するコマンド制御信号線、r1はリクエスト信号線、g2はアクノリッジ信号線、dc2はデータコンプリート信号線、d2はデータ信号線である。

【0022】次にメモリ装置1とバス接続装置111間のインターフェイス信号について説明する。a2はアドレス信号線、r3はプリフェッチリクエスト信号線、g1はアクノリッジ信号線、dc1はデータコンプリート信号線、d1はデータ信号線である。c1、c2、c52、c53、c54、c55、c56、c57は、データフェッチを制御するための制御信号線である。

【0023】10はアドレス出力トライステートバッファ、16はリクエストアドレス生成部、19はデータ転送制御部、14は転送バッファ、15はデータ出力トライステートバッファ、13はデータ転送バッファ制御部、20はデータ転送量制御部である。

【0024】次に、図17に示すバス接続装置111の動作を、入出力装置3からのメモリ装置1に対するデータフェッチ処理に即して説明する。まず入出力装置3からバス接続装置111に対してデータフェッチのためのリクエスト信号r1が出力される。バス接続装置111は、リクエストを受けると他の入出力装置とデータの転送を行なっていなければ、入出力装置3に対してアクノリッジ信号g2を出力する。この時点で、入出力装置3はバス3のバス権を獲得したことになる。

【0025】バス権の獲得に同期して、入出力装置3はリクエストアドレスa1とコマンド制御信号線cm1をバス接続装置111に出力する。バス接続装置111では、データ転送制御部19から、制御信号c2を出力して、アドレスa1をアドレスレジスタ11に取り込んで、データプリフェッチリクエストr3をメモリ装置1に対して出力する。メモリ装置1はこのリクエストを受け付けば、バス接続装置に対してアクノリッジ信号g1を出力する。この時点でバス3の時と同様に、バス接続装置111はバス1のバス権を獲得したことになる。

【0026】アクノリッジ信号に同期して、バス接続装

置111は、制御信号c1によってアドレス出力トライステートバッファより、リクエストアドレスa2をメモリ装置1に対して出力する。メモリ装置1は、そのアドレスa2に対応した、フェッチ対象のデータをデータコンプリート信号線dc1と共にデータバスd1に出力する。バス接続装置111は、データコンプリート信号線がアサートされたタイミングで、制御信号c56によりそのデータをデータ転送バッファに取り込む。そして制御信号c57によりデータ出力トライステートバッファから、データコンプリート信号線dc2と共にデータバスd1によりデータを出力する。データはバス3を介して、入出力装置3に輸入される。入出力装置3は、データコンプリート信号線dc2がアサートされたタイミングで、データを取り込む。

【0027】図18に、図17に示すデータ転送バッファ14及びデータ転送バッファ制御部13そしてデータ転送量制御部20の詳細な回路構成図を示す。14はデータ転送バッファであり、データバスd1と同一のバス幅であるレジスタRG100～RG115の16本で構成されている。15はデータ出力トライステートバッファである。30は16本のデータバッファ内のレジスタに1対1対応した、レジスタ内のデータが有効であることを示す有効フラグレジスタである。31は、プリフェッチリクエストr3を生成するための制御部である。23は入力ポインタ部、33は出力ポインタ部である。

【0028】入力ポインタは、入力ポインタレジスタinpp（この場合は、レジスタ数が16本なので4ビットで構成される。）とインクリメントinc1とデコーダdec1で構成されている。同様に出力ポインタも出力ポインタレジスタoutpとインクリメントinc2とデコーダdec2で構成されている。入力ポインタは、次のデータをデータ転送バッファ内に取り込むレジスタを示しており、出力ポインタは次に出力するデータレジスタを示している。RG1はデータ転送量を保持するためのレジスタ、RG2は入出力装置から来ると予想される次のリクエストアドレスである。DECはデクリメント、INCはインクリメント、cmp1、cmp2は比較器である。

【0029】図17に示すDMA制御部では、データフェッチのデータ転送幅は固定の場合について示しているため、DECとINCを用いて常に固定のデータ転送幅をデクリメント、インクリメントしている。

【0030】次に、図18に示した回路構成図の動作について説明する。この回路を用いて以下の4点の動作について説明する。

- (1) データ転送長によるデータ転送量制御処理
- (2) データがデータバッファに輸入される処理
- (3) データがデータバッファから出力される処理
- (4) プリフェッチリクエストが生成される処理

【0031】(1)の場合の処理は、データ転送処理が

実行される前に行なわれる。すなわちDMA制御によるデータ転送の場合、メモリ装置1から入出力装置3に対して、どのアドレスからどれだけのデータ転送を行なうかという指示をデータで渡す。その時にバス接続装置111は、データバスd1上のデータ転送長をデータ転送量を制御するためのレジスタRG1に取り込む。そして、その後、入出力装置3からのリクエストによりデータ転送が開始され、データコンプリート信号dc2がアサートされる毎に、固定のデータ転送サイズ分だけをデクリメンタDECで減算した値をレジスタRG1に取り込む。そしてRG1の値が0になったことを比較器cmp1が検出し、ブリフエッチのリクエストをストップする。

【0032】(2)の場合、まずメモリ装置1からデータコンプリート信号dc2とデータd1がバス接続装置111に出力される。データ転送バッファでは、入力ポインタの指し示しているレジスタRG11にd1よりデータが取り込まれると共にそのレジスタに対応した有効フラグレジスタに1がセットされる。そして入力ポインタは、データコンプリート信号dc2により、インクリメントされた値を入力ポインタレジスタに取り込む。また、データ転送量が事前に取り込まれていたレジスタRG1では、データコンプリート信号dc2によりデータ転送サイズ分だけ減算された値が取り込まれる。

【0033】(3)の場合、まず入出力装置3からリクエストアドレスa1が入力される。すると、事前に前回のリクエストアドレスとデータ転送サイズを加算して取り込んでいたレジスタRG2の値とa1を比較器cmp2により比較して、一致すれば、データ出力トライステートバッファをイネーブルにして、出力ポインタに示されているレジスタRG102のデータをデータバスd2に出力すると共に、そのレジスタRG102に対応した有効フラグレジスタに0をセットする。そして、出力ポインタは出力ポインタレジスタoutpにインクリメントした値を取り込む。レジスタRG2には、今回のリクエストアドレスにデータ転送サイズを加算した値を取り込んでおく。

【0034】(4)の場合、データ転送量が0になると比較器cmp1の値がアサートされ、それにもなつてブリフエッチリクエストr3がディアサートされる。また、データバッファでは、出力ポインタが指しているレジスタRG102から、入力ポインタが指しているレジスタRG111まで有効なデータが入っていることを示している。たまたま出力ポインタが入力ポインタの指している値マイナス1を指した場合、レジスタの有効フラグレジスタに全て1がセットされた状態となり、これ以上データ転送バッファにデータを入力することができない。その場合ブリフエッチリクエストr3は、ディアサートされる。

【0035】次に、図17に示すバス接続装置111に

よるデータフェッチ処理のタイミングチャートを図19に示す。タイミングチャートでは、図17の動作説明の箇所で述べた各種信号線の動作を時系列的に示したものである。このタイミングチャートは、バス1とバス3のデータ転送幅(データバスのビット数)が同じで、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提にしている。X1~X7は、それぞれのクロックサイクルを示している。

【0036】まず入出力装置3から、X1に同期してリクエスト信号R3が出力され、そのリクエストに対してX1内にバス接続装置111からアクノリッジg2が返される。入出力装置3はアクノリッジg2を受け付けると、バス接続装置111に対してリクエストアドレスA3をa1を介して出力する。バス接続装置111では、X2でリクエストアドレスをアドレスレジスタに取り込むと、リクエストr2をX3に同期してメモリ装置1に対して出力する。

【0037】メモリ装置1は、X3中にアクノリッジ信号g1をバス接続装置111に対して出力する。バス接続装置111は、アクノリッジ信号g1を受け付けると、リクエストアドレスA3をa2を介して出力する。メモリ装置1は、そのアドレスA3をX4中に受け付けると、デコードしてそのアドレスに対するデータD3をデータコンプリート信号dc1と共にバス接続装置に出力する。

【0038】バス接続装置111は、データコンプリート信号dc1がアサートされたX5のタイミングでデータD3をd2を介してデータ転送バッファに取り込む。データ転送バッファ部は、1回のデータ転送幅のレジスタ数個で構成されており、データ転送バッファ制御部13からの制御信号c56で指示されるレジスタにデータD3を取り込む。データD3を取り込んだ後は、制御信号c56は、次のデータを取り込むための空のレジスタを指し示す。データ転送制御部19では、データD3を取り込んだX5で、ブリフエッチリクエストr3をA3に連続する次のブリフエッチリクエストアドレスA4と共にメモリ装置に出力する。

【0039】メモリ装置1は、そのリクエストアドレスA4に対するデータD4とデータコンプリート信号dc1をバス接続装置に対して出力する。バス接続装置111は、データ転送バッファ内の制御信号c56で指し示すレジスタにデータD4を取り込む。このような一連のブリフエッチ処理を繰り返しながら、データ転送がストップされる条件が成立するまで、このブリフエッチ処理は続けられる。

【0040】そして、バス接続装置111は、データD3をデータ転送バッファに取り込んだ後に、データコンプリート信号dc2と共にデータD3をd2を介して入出力装置に出力する。入出力装置3は、データコンプリ

ート信号 d c 2 がアサートされたタイミング X 6 でデータを取り込む。そして X 7 のタイミングで次にリクエスト信号 r 4 とリクエストアドレス A 4 を出力する。

【0041】バス接続装置 111 は、アドレスコンペア処理を行なってアドレスが一致すれば、そのアドレスに対するデータ D 4 をデータコンプリート信号 d c 2 と共に、入出力装置に出力する。前述したようにリクエスト R 4 に対するデータ D 4 は、既にデータ転送バッファ 14 に取り込まれているので、X 7 で出力されたリクエスト R 4 に対して、2 クロック後の X 9 でデータ D 4 が入出力装置に転送されてくることになる。

【0042】このように、リクエスト信号 R 2 に対する処理は、データ転送バッファを用いた回路では、リクエスト信号 R 1 に対するデータフェッチシーケンスよりも 4 クロックも短縮されて実行されたことになる。これのデータフェッチ処理は、最短の場合について示したが、実際は、X 1 や X 3 中にバス権を獲得するまでに数クロックサイクルを費やすことになる。

【0043】

【発明が解決しようとする課題】以上のように、異なるバス間でデータ転送を行なう場合、バス接続装置では制御回路構成が簡単であるがデータ転送に時間がかかるし、DMA 制御装置では高速なデータ転送が可能であるがそのデータ転送に複雑な制御回路が必要であるという問題があった。

【0044】本発明は上記のような問題点を解決するためになされたもので、バスブリッジと DMA 転送制御装置との中間に位置し、DMA 制御装置よりもより単純な制御により、バス接続装置よりも効率的にデータ転送を行なうことができるデータ転送装置及びデータ転送方法を提供することを目的としたものである。

【0045】

【課題を解決するための手段】請求項 1 に係るデータ転送方法は、上記入出力装置からの第 1 の要求アドレスが、前回の要求アドレスと連続しているかどうか判定する第 1 のステップと、上記第 1 のステップにおいて連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送する第 2 のステップと、上記第 1 のステップにおいて連続していると判定されたときに、上記第 1 の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出してデータバッファに格納する第 3 のステップと、上記入出力装置からの第 2 の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定する第 4 のステップと、上記第 4 のステップにおいて一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ転送する第 5 のステップと、上記第 4 のステップにおいて一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置

から読み出して上記入出力装置へ転送する第 6 のステップとを備えたものである。

【0046】請求項 2 に係るデータ転送装置は、上記記憶装置からデータを読み出す読出手段と、上記読出手段により読み出したデータを保持するデータバッファと、上記データバッファからデータを取り出して、上記入出力装置へ出力する出力手段と、上記記憶装置からデータを読み出して上記入出力装置へ転送する転送手段と、上記入出力装置からの第 1 の要求アドレスが前回の要求アドレスと連続しているかどうか判定するとともに、上記入出力装置からの第 2 の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定する判定器と、上記判定器によりアドレスが連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御するとともに、上記判定器によりアドレスが一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御する第 1 の制御部と、上記判定器によりアドレスが連続していると判定されたときに、上記第 1 の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記データバッファに格納するように上記読出手段を制御するとともに、上記判定器によりアドレスが一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ出力するように上記出力手段を制御する第 2 の制御部とを備えたものである。

【0047】請求項 3 に係るデータ転送装置は、上記複数の入出力装置に対応して上記記憶装置からデータをそれぞれ読み出す複数の読出手段と、上記複数の読出手段により読み出したデータをそれぞれ保持する複数のデータバッファと、上記複数のデータバッファからデータを取り出して、上記複数の入出力装置へそれぞれ出力する複数の出力手段と、上記記憶装置からデータを読み出して上記複数の入出力装置へ転送する転送手段と、上記複数の入出力装置からの第 1 の要求アドレスが前回の要求アドレスと連続しているかどうかそれぞれ判定するとともに、上記複数の入出力装置からの第 2 の要求アドレスが上記複数のデータバッファに格納された複数のデータのアドレスと一致するかどうかそれぞれ判定する複数の判定器と、上記複数の判定器によりアドレスが連続していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御するとともに、上記複数の判定器によりアドレスが一致していないと判定されたときに、上記第 1 の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御する複数の第 1 の制御部と、上記複数の判定器によりアドレスが連続してい

ると判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記複数のデータバッファにそれぞれ格納するように上記読出手段を制御するとともに、上記複数の判定器によりアドレスが一致していると判定されたときに、上記複数のデータバッファから対応するデータを読み出して上記複数の入出力装置へそれぞれ出力するように上記複数の出力手段を制御する複数の第2の制御部と、上記複数の入出力装置からの複数の要求をあらかじめ定められた優先順位に基づき選択する選択部とを備えたものである。

【0048】請求項4に係るデータ転送装置は、上記データバッファをバイパスするように設けられ、上記記憶装置からデータを読み出して上記入出力装置へデータを転送するバイパス手段を備え、上記第2の制御部が、連続アドレスの条件が成立した後に不連続アドレスを受けたとき、上記不連続アドレスに対応するデータについて上記バイパス手段によりデータ転送を行うように制御するものである。

【0049】請求項5に係るデータ転送装置は、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上記エラーが発生したときに上記データバッファの内容を消去する消去手段とを備えたものである。

【0050】請求項6に係るデータ転送装置は、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上記エラーが発生したときにエラーデータに対応するフラグがセットされるエラーフラグレジスタとを備えたものである。

【0051】請求項7に係るデータ転送装置は、上記判定器に、前回の要求アドレスと前回のデータ転送サイズとを加算して得たアドレスと、上記入出力装置からの要求アドレスとを比較する第1の比較器と、上記入出力装置からの今回のデータ転送サイズとあらかじめ定められた最大転送サイズとを比較する第2の比較器と、上記第1の比較器が一致を出力し、かつ、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力するときに、上記要求アドレスが連続していると判定する論理回路とを備えたものである。

【0052】請求項8に係るデータ転送装置は、上記判定器に、上記前回のデータ転送サイズが上記最大転送サイズに一致するときにフラグがセットされるフラグレジスタを備え、上記論理回路を、上記第1の比較器が一致を出力し、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力し、かつ、上記フラグレジスタがセットされているときに、上記要求アドレスが連続していると判定する論理回路とを備えたものである。

【0053】請求項9に係るデータ転送装置は、上記論理回路を、上記第2の比較器が上記今回のデータ転送サ

イズが上記最大転送サイズに一致していると出力するときに、上記要求アドレスが連続していると判定するように構成したものである。

【0054】

【作用】請求項1の発明においては、第1のステップで上記入出力装置からの第1の要求アドレスが、前回の要求アドレスと連続しているかどうか判定し、第2のステップで上記第1のステップにおいて連続していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送し、第3のステップで上記第1のステップにおいて連続していると判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出してデータバッファに格納し、第4のステップで上記入出力装置からの第2の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定し、第5のステップで上記第4のステップにおいて一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ転送し、第6のステップで上記第4のステップにおいて一致していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送する。

【0055】請求項2の発明においては、読出手段が上記記憶装置からデータを読み出し、データバッファが上記読出手段により読み出したデータを保持し、出力手段が上記データバッファからデータを取り出して、上記入出力装置へ出力し、転送手段が上記記憶装置からデータを読み出して上記入出力装置へ転送し、判定器が、上記入出力装置からの第1の要求アドレスが前回の要求アドレスと連続しているかどうか判定するとともに、上記入出力装置からの第2の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定し、第1の制御部が、上記判定器によりアドレスが連続していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御するとともに、上記判定器によりアドレスが一致していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御し、第2の制御部が、上記判定器によりアドレスが連続していると判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記データバッファに格納するように上記読出手段を制御するとともに、上記判定器によりアドレスが一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ出力するように上記出力手段を制御する。

【0056】請求項3の発明においては、複数の読出手

段が上記複数の入出力装置に対応して上記記憶装置からデータをそれぞれ読み出し、複数のデータバッファが上記複数の読出手段により読み出したデータをそれぞれ保持し、複数の出力手段が上記複数のデータバッファからデータを取り出して、上記複数の入出力装置へそれぞれ出力し、転送手段が上記記憶装置からデータを読み出して上記複数の入出力装置へ転送し、複数の判定器が、上記複数の入出力装置からの第1の要求アドレスが前回の要求アドレスと連続しているかどうかそれぞれ判定するとともに、上記複数の入出力装置からの第2の要求アドレスが上記複数のデータバッファに格納された複数のデータのアドレスと一致するかどうかそれぞれ判定し、複数の第1の制御部が、上記複数の判定器によりアドレスが連続していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御するとともに、上記複数の判定器によりアドレスが一致していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御し、複数の第2の制御部が、上記複数の判定器によりアドレスが連続していると判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記複数のデータバッファにそれぞれ格納するように上記読出手段を制御するとともに、上記複数の判定器によりアドレスが一致していると判定されたときに、上記複数のデータバッファから対応するデータを読み出して上記複数の入出力装置へそれぞれ出力するように上記複数の出力手段を制御し、選択部が上記複数の入出力装置からの複数の要求をあらかじめ定められた優先順位に基づき選択する。

【0057】請求項4の発明においては、上記データバッファをバイパスするように設けられたバイパス手段が、上記記憶装置からデータを読み出して上記入出力装置へデータを転送し、上記第2の制御部が、連続アドレスの条件が成立した後に不連続アドレスを受けたとき、上記不連続アドレスに対応するデータについて上記バイパス手段によりデータ転送を行うように制御する。

【0058】請求項5の発明においては、監視手段が、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視し、消去手段が、上記エラーが発生したときに上記データバッファの内容を消去する。

【0059】請求項6の発明においては、監視手段が、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視し、エラーフラグレジスタが、上記エラーが発生したときにエラーデータに対応するフラグをセットする。

【0060】請求項7の発明においては、上記判定器の第1の比較器が、前回の要求アドレスと前回のデータ転送サイズとを加算して得たアドレスと、上記入出力装置

からの要求アドレスとを比較し、第2の比較器が、上記入出力装置からの今回のデータ転送サイズとあらかじめ定められた最大転送サイズとを比較し、論理回路が、上記第1の比較器が一致を出力し、かつ、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力するときに、上記要求アドレスが連続していると判定する。

【0061】請求項8の発明においては、上記判定器のフラグレジスタが、上記前回のデータ転送サイズが上記最大転送サイズに一致するときにフラグをセットし、上記論理回路が、上記第1の比較器が一致を出力し、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力し、かつ、上記フラグレジスタがセットされているときに、上記要求アドレスが連続していると判定する。

【0062】請求項9の発明においては、上記論理回路が、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズに一致していると出力するときに、上記要求アドレスが連続していると判定する。

【0063】

【実施例】

実施例1、この発明は、接続装置を介して入出力装置からメモリ装置を直接アクセスし、データをリードしてくる処理（以下、データフェッチ処理と呼ぶ。）に関するものであり、効率のよいデータ転送を可能とするバス接続装置を提供することを目的とする。

【0064】この発明は、以下の手順でデータの転送が行なわれる。

(1) 入出力装置から、リクエスト、アドレス、各種制御信号が、バス接続装置に転送される。

(2) バス接続装置から、リクエスト、アドレス、各種制御信号が、メモリ装置に転送される。

(3) メモリ装置から、フェッチ対象のデータが、バス接続装置に転送される。

(4) バス接続装置から、フェッチ対象のデータが、入出力装置に転送される。

【0065】また、その時のリクエスト出力から、そのデータのフェッチまでの経路以下の通りである。

入出力装置→バス2→バス接続装置→バス1→メモリ装置

【0066】次に、この実施例1のバス接続装置を、図1について説明する。なお、従来例と同様に、回路構成図は入出力装置からメモリ装置に対してデータフェッチ処理のみしか記述していない。図1において、1はメモリ装置、3は入出力装置、2は本発明のバス接続装置である。メモリ装置とバス接続装置はバス1で接続されており、入出力装置とバス接続装置はバス3で接続されている。

【0067】次に入出力装置3とバス接続装置2間のインターフェイス信号について説明する。a1はアドレス

10

20

30

40

50

信号線、c m lはリード／ライト等を指定するコマンド制御信号線、r lはリクエスト信号線、g 2はアクノリッジ信号線、d c 2はデータコンプリート信号線、d 2はデータ信号線である。

【0068】次にメモリ装置1とバス接続装置2間のインターフェイス信号について説明する。a 2はアドレス信号線、r 4はブリフエッチリクエスト信号線、g 1はアクノリッジ信号線、d c 1はデータコンプリート信号線、d lはデータ信号線である。c 1、c 2、c 4、c 5、c 6、c 7は、データフェッチを制御するための制御信号線である。

【0069】また、バス接続装置2において、10はアドレス出力トライステートバッファ、16はリクエストアドレス生成部、21はデータ転送制御部、14はデータ転送バッファ、15はデータ出力トライステートバッファ、13はデータ転送バッファ制御部である。図1のバス接続装置2は、図17に示すDMA制御を行なうバス接続装置と同様に、データ転送バッファ14を備えており、データのブリフエッチが可能である。しかし、図1のバス接続装置2は、図17にあるデータ転送量制御部20を備えない。そして、アドレス信号線a 1がデータ転送制御部21に入力されている。

【0070】次に、図1に示すバス接続装置2の動作を、入出力装置3からのメモリ装置1に対するデータフェッチ処理に即して説明する。まず入出力装置3からバス接続装置2に対してデータフェッチのためのリクエスト信号r lが出力される。バス接続装置2は、リクエストを受けると他の入出力装置とデータの転送を行なっていなければ、入出力装置に対してアクノリッジ信号g 2を出力する。この時点で、入出力装置2はバス3のバス権を獲得したことになる。

【0071】バス権の獲得に同期して、入出力装置3はリクエストアドレスa 1とコマンド制御信号線c m lをバス接続装置2に出力する。バス接続装置2は、データ転送制御部19から、制御信号c 2を出力して、アドレスa 1をアドレスレジスタ11に取り込んで、データブリフエッチリクエストr 3をメモリ装置1に対して出力する。メモリ装置1がこのリクエストを受け付けば、バス接続装置2に対してアクノリッジ信号g 1を出力する。この時点でバス3の時と同様に、バス接続装置2はバス1のバス権を獲得したことになる。

【0072】アクノリッジ信号に同期して、バス接続装置2は、制御信号c 1によってアドレス出力トライステートバッファより、リクエストアドレスa 2をメモリ装置1に対して出力する。メモリ装置1は、そのアドレスa 2に対応した、フェッチ対象のデータをデータコンプリート信号線d c 1と共にデータバスd 1に出力する。データ転送バッファ制御部13は、データコンプリート信号線d c 1がアサートされたタイミング等をモニタしており、制御信号c 4、c 5でデータ転送制御部21と絶

えず情報をやりとりしながら、制御信号c 6によりd 1よりデータをデータ転送バッファに取り込む。そして制御信号c 7によりデータ出力トライステートバッファから、データコンプリート信号線d c 2と共にデータバスd 2によりデータを出力する。データはバス3を介して入出力装置へ出力される。入出力装置3は、データコンプリート信号線d c 2がアサートされたタイミングで、データを取り込む。

【0073】次に、図1の実施例1のデータ転送制御部21の詳細なブロック図を図2に示す。この実施例1では、データの転送サイズが一定の場合すなわち固定長のデータ転送サイズであるので、リクエストアドレスをモニタしてデータ転送のブリフエッチの制御を行なっている。r lは入出力装置3からバス接続装置2へのリクエストである。r 3はメモリ装置1へのブリフエッチリクエストである。32はそのブリフエッチリクエストr 3生成部である。a 1はリクエストアドレスである。c m p 2は比較器であり、R G 2はレジスタであり、I N Cはインクリメントである。これらの部分をまとめた制御部S 1は、データ転送が固定サイズの場合の連続アドレス検出部である。h tは、比較器c m p 2で入力データを比較した結果の入力データが一致していればアサートされる信号である。L 1は、比較器c m p 2の結果を保持する1ビットの信号保持回路である。p rは、データ保持回路L 1の出力であり、データ転送バッファのブリフエッチリクエストになっている。f u lは図17に示すデータ転送バッファの有効フラグが全てセットされている場合にアサートされるフル信号である。

【0074】次に、図2の回路の動作について説明する。入出力装置3からリクエストアドレスa 1が入力されると、レジスタR G 2に保持されている値と比較器c m p 2で比較されて一致しているかどうか判定される。そしてR G 2には、リクエストアドレスa 2をデータ転送長分インクリメントI N Cでインクリメントした値が格納される。例えば、4バイトの固定長データ転送の場合、インクリメントで、リクエストアドレスa 1を+4した値をR G 2に格納する。リクエストアドレスa 1がアサートされたタイミングでh t信号の値を保持回路L 1に保持する。すなわちh t信号がアサートされていれば、ブリフエッチ信号p rがイネーブルとなり、h t信号がアサートされていなければp r信号がディセーブルとなる。ブリフエッチリクエストr 3生成部31では、リクエストr lとブリフエッチリクエストp rを調停し、リクエストr 3をメモリ装置1に対して出力する。またf u l信号がアサートされていればリクエストr 3はリセットされる。

【0075】次に、図1のバス接続装置によるデータフェッチ処理のタイミングチャートを図3に示す。タイミングチャートでは、図1の動作説明の箇所述べたデータフェッチ処理の各種信号線の動作を時系列的に示した

ものである。このタイミングチャートは、バス1とバス3のデータ転送サイズ（データバスのビット数）が同じで、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提にしている。X1〜X17は、それぞれのクロックサイクルを示している。まず入出力装置から、X1に同期してリクエスト信号R5が出力される。このリクエストはブリフエッチリクエストではなく、そのデータD5が返ってくるのは5クロック後のX6である。このリクエストR5によるデータフェッチ処理は、図19で説明したリクエストR3に対するデータフェッチ処理と同じである。

【0076】リクエストR5に対するデータフェッチ処理がデータコンプリート信号dc2と共に終了すると、次のリクエストR6が入出力装置3から出力される。リクエストR6は、リクエストR5のアドレスA5に対して連続アドレスA6を持つので、図2で説明したようにht信号がアサートされ、リクエストr4はブリフエッチ信号としてR6〜R12のように連続的に出力される。そのブリフエッチリクエストR6〜R12に対するデータは、バス接続装置がバス1のバス権を獲得している限り、データバスd1よりD6〜D12として連続的にデータ転送されてくる。そしてデータD6〜D12は、データ転送バッファに順に取り込まれていく。

【0077】リクエストR6に対するデータD6がデータバスd2より、データコンプリート信号dc2と共に入出力装置3に転送されると、すぐに次の連続アドレスを持つリクエストR7が入出力装置3からバス接続装置2に出力される。バス接続装置2では、既にデータD7がブリフエッチされてきているので、すぐにデータバスd2より入出力装置2に出力する。リクエストR8に対しても同様な処理が実行される。

【0078】ところがリクエストR8の次に、アドレスA8に対して不連続アドレスAXを持つRXが入出力装置より出力されると、ht信号がアサートされずにブリフエッチリクエストr4がリセットされ、リクエストRXが出力された後にはブリフエッチリクエストは出力されない。このように、従来においてデータバッファ用のブリフエッチリクエストの制御をデータ転送長等のデータで判定していたのに対し、連続アドレス、不連続アドレスで判定することにより、より簡単な制御回路でほぼリクエストに応えたブリフエッチ制御を実現することができる。

【0079】実施例2. さらに、他の実施例のバス接続装置を、図4に基づいて説明する。この実施例2のバス接続装置の概略的な回路構成は、図1と同じである。但し、この実施例2では、データの転送サイズが固定でなく、複数種類のサイズのデータ転送が実施される。したがって、図1のコマンド制御信号線cm1には、データ転送のサイズを示す信号が含まれている。そしてデータ転送制御部21は、リクエストアドレスとデータ転送サ

イズをモニタしてデータ転送のブリフエッチの制御を行っている。

【0080】r1は入出力装置3からバス接続装置2へのリクエストである。r3はメモリ装置1へのブリフエッチリクエストである。33はそのブリフエッチリクエストr3生成部である。a1はリクエストアドレスであり、cm1はコマンド制御信号線である。cmp2、cmp3は比較器であり、RG2、RG3はレジスタであり、ADDは加算器である。これらの部分を含んでいる制御部S2は、前回に連続するアドレスでかつ最大転送サイズであることを検出する部分である。ht1、ht2信号は、それぞれ比較器cmp2、cmp3で入力データが一致した時にアサートされるヒット信号である。ht3はht1、ht2がアサートされている時に成立するヒット信号である。L1は、ヒット信号ht3の値を保持するための回路であり、その出力prはデータ転送バッファのブリフエッチリクエストになっている。fulは図17に示すデータ転送バッファの有効フラグが全てセットされている場合にアサートされるフル信号である。

【0081】次に、図4の回路の動作について説明する。入出力装置3からリクエストアドレスa1とデータ転送サイズcm1が入力されると、アドレスa1の値とレジスタRG2の値が比較器cmp2で比較され、値が一致していればヒット信号ht1がアサートされる。また、比較器cmp3では、データ転送サイズcm1とレジスタRG3を比較し、一致していればヒット信号ht2をアサートする。レジスタRG2には、リクエストアドレスa1とデータ転送サイズcm1を加算器ADDで加算した値が格納される。

【0082】レジスタRG3には、最大転送サイズが格納されている。例えば、最大のデータ転送サイズが4バイトで、しかも2、4バイトのデータ転送が可能なバス接続装置である場合、レジスタRG3には、データ転送サイズ4バイトが格納されている。そして今回のリクエストが最大の転送サイズで、しかも連続するアドレスである場合に、ヒット信号ht3がアサートされる。ヒット信号ht3の値は、保持回路L1に取り込まれる。すなわちht3信号がアサートされていれば、ブリフエッチ信号prがイネーブルとなり、ht信号がアサートされていなければpr信号がディセーブルとなる。ブリフエッチリクエストr3生成部33では、リクエストr1とブリフエッチリクエストprを調停し、リクエストr3をメモリ装置に対して出力する。

【0083】実施例3. さらに、他の実施例のバス接続装置について、図5に基づいて説明する。この実施例3のバス接続装置の概略的な回路構成は、図1と同じである。但し、この実施例3では、図4で説明した実施例2と同様に、データの転送サイズが一定でなくすなわち複数種類のサイズのデータ転送が実施されるので、図1の

10

20

30

40

50

コマンド制御信号線 c m 1 には、データ転送のサイズを示す信号が含まれている。そしてデータ転送制御部 2 1 では、リクエストアドレスとデータ転送サイズをモニタしてデータ転送のプリフェッチの制御を行なっている。

【0084】 r 1 は入出力装置 3 からバス接続装置 2 へのリクエストである。r 3 はメモリ装置 1 へのプリフェッチリクエストである。r 3 はメモリ装置 1 へのプリフェッチリクエストである。3 3 はそのプリフェッチリクエスト r 3 生成部である。a 1 はリクエストアドレスであり、c m 1 はコマンド制御信号線である。c m p 2、c m p 3 は比較器であり、R G 2、R G 3 はレジスタであり、A D D は加算器であり、F 3 はフラグレジスタである。これらは含む制御部 S 3 は、最大転送サイズが連続で起こる場合の検出部である。h t 1、h t 2 信号は、それぞれ比較器 c m 2、c m 3 で入力データが一致した時にアサートされるヒット信号である。h t 4 は h t 1、h t 2、そしてフラグレジスタ F 3 の出力が全てアサートされている時に成立するヒット信号である。L 1 は、ヒット信号 h t 4 の値を保持するための回路であり、その出力である p r はデータ転送バッファのプリフェッチリクエストになっている。f u l は図 17 に示すデータ転送バッファの有効フラグが全てセットされている場合にアサートされるフル信号である。

【0085】次に、図 5 の回路の動作について説明する。入出力装置 3 からリクエストアドレス a 1 とデータ転送サイズ c m 1 が入力されると、アドレス a 1 の値とレジスタ R G 2 の値が比較器 c m 2 で比較され、値が一致していればヒット信号 h t 1 がアサートされる。また、比較器 c m p 3 では、データ転送サイズ c m 1 とレジスタ R G 3 を比較し、一致していればヒット信号 h t 2 をアサートする。ヒット信号 h t 2 は、一致フラグとしてフラグレジスタ F 3 に取り込まれる。レジスタ R G 2 には、リクエストアドレス a 1 とデータ転送サイズ c m 1 を加算器 A D D で加算した値が格納される。

【0086】レジスタ R G 3 には、最大転送サイズが格納されている。例えば、最大のデータ転送サイズが 4 バイトで、しかも 2、4 バイトのデータ転送が可能なバス接続装置である場合、レジスタ R G 3 には、データ転送サイズ 4 バイトが格納されている。そして前回のデータ転送サイズが最大である場合すなわちフラグレジスタ F 3 に有効フラグがセットされており、しかも今回のリクエストのデータサイズが最大でかつ連続アドレスである場合に、ヒット信号 h t 4 がアサートされる。ヒット信号 h t 4 の値は、保持回路 L 1 に取り込まれる。すなわち h t 4 信号がアサートされていれば、プリフェッチ信号 p r がイネーブルとなり、h t 信号がアサートされていなければ p r 信号がディセーブルとなる。プリフェッチリクエスト r 3 生成部 3 4 では、リクエスト r 1 とプリフェッチリクエスト p r を調停し、リクエスト r 3 をメモリ装置 1 に対して出力する。

【0087】実施例 4、では次に、他の実施例のバス接続装置について、図 6 に基づいて説明する。従来例と同様に、この図の回路構成は入出力装置からメモリ装置に対してデータフェッチ処理のみしか記述していない。

【0088】1 はメモリ装置、3 は入出力装置、5 はこの実施例 4 のバス接続装置である。メモリ装置 1 とバス接続装置 5 とバス 1 で接続されており、入出力装置 3 とバス接続装置 5 はバス 3 で接続されている。

【0089】次に入出力装置 3 とバス接続装置 5 間のインターフェイス信号について説明する。a 1 はアドレス信号線、c m 1 はコマンド制御信号線、r 1 はリクエスト信号線、g 2 はアクノリッジ信号線、d c 2 はデータコンプリート信号線、d 2 はデータ信号線である。次にメモリ装置 1 とバス接続装置 5 間のインターフェイス信号について説明する。a 2 はアドレス信号線、r 4 はプリフェッチリクエスト信号線、g 1 はアクノリッジ信号線、d c 1 はデータコンプリート信号線、d 1 はデータ信号線である。c 1、c 2、c 14、c 15、c 16、c 17 は、データフェッチを制御するための制御信号線である。

【0090】10 はアドレス出力トライステートバッファ、16 はリクエストアドレス生成部、22 はデータ転送制御部、14 はデータ転送バッファ、15 はデータ出力トライステートバッファ、13 はデータ転送バッファ制御部、17 はバイパスレジスタである。図 17 に示す DMA 制御を行なうバス接続装置と同様にデータ転送バッファを備えており、データのプリフェッチが可能である。しかし図 17 にあるようなデータ転送制御部は、この実施例 4 のバス接続装置 5 には存在しない。そして、アドレス信号線 a 1 がデータ転送制御部 22 に入力されている。

【0091】次に、図 6 に示すバス接続装置の動作について説明する。通常の固定サイズの連続アドレスに対するデータフェッチの処理は、実施例 1 で説明した通りである。この実施例 4 で実施例 1 と異なるのは、プリフェッチを行なっている最中に不連続アドレスが来た場合、バス接続装置はデータ転送バッファへのプリフェッチを中止し、バイパス経路を介してその不連続アドレスのリクエストに対するデータフェッチを行なう機能を持つということである。すなわち、データ転送制御部 22 は、図 2 に示す制御回路部 s 1 を 2 セット内蔵しており、不連続アドレスのリクエストが来るとそれを認識してヒット信号をアサートせず、それをデータ転送バッファ制御部 13 に伝える（詳細な説明は、図 7 を用いて行なう）。

【0092】データ転送バッファ制御部 13 は、制御信号 c 15 によりデータ転送にデータを格納する処理をストップし、制御信号 c 17 によりデータバス 17 の値をバイパスレジスタに格納する。そしてさらに、入出力装置 3 から連続アドレスが来れば、プリフェッチ処理がス

タートしデータ転送バッファにデータが格納される。このように、データ転送バッファは連続アドレスのプリフェッチ処理に使用され、バイパス処理のレジスタは単発の不連続アドレスのフェッチに使用される。すなわち不連続アドレスのリクエストが来た場合にデータ転送バッファに既に格納したデータを消去することなく処理を行うことができる。

【0093】図7に、図6のデータ転送制御部22内のデータ転送バッファとバイパスレジスタの切り替えを行なう部分の制御回路を示す。図7に示すようにこの制御回路は、図2に示す制御回路S1を2個内蔵したような構成になっている。すなわち図7内のT1、T2がその部分であり、それぞれ比較器cmp4、cmp5、レジスタRG4、RG5、インクリメントINCを内蔵している。a1はリクエストアドレスである。ht10、ht11は、それぞれ比較器cmp4、cmp5で入力データを比較した結果、一致した場合にアサートされるヒット信号である。en0、en1は、それぞれレジスタRG4、RG5にデータを取り込む際にアサートされるイネーブル信号である。40は、ヒット信号ht10、ht11の値からイネーブル信号en0、en1をアサートするかどうかを判断する制御回路である。

【0094】次に、図7に示す制御回路の動作について説明する。まず1回目のリクエストアドレスa1が入出力装置3からバス接続装置5に入力されると、まずそれぞれの連続アドレス検出部T1、T2に入力される。そしてヒット信号ht10、ht11が双方ともアサートされないと、制御回路40は、イネーブル信号en4をアサートして、1回目のリクエストアドレスを固定サイズ分インクリメントした値をRG4に取り込む。ここでレジスタRG4には、データ転送バッファに最後に取り込まれたデータのアドレスに対して連続するアドレスが格納されたことになる。

【0095】そして第2回目のリクエストアドレスが第1回目のリクエストアドレスに対して連続するアドレスであった場合、連続アドレス検出部T1では、ヒット信号ht10がアサートされる。その後の処理は、図2で説明した通り、データプリフェッチ処理がスタートする。

【0096】そのため第3回目のリクエストアドレスが第2回目のリクエストアドレスに対して連続である場合は、同様に連続アドレス検出部T1でヒット信号がアサートされ、データバッファより即座にプリフェッチされているデータが入出力装置3に出力される。

【0097】第4回目のリクエストアドレスが第3回目のリクエストアドレスに対して不連続であった場合、連続アドレス検出部T1、T2ともヒット信号をアサートしない。そのため、データ転送バッファ用のプリフェッチ信号はストップされる。そして、制御部40はイネーブル信号en5をアサートし、第4回目のリクエストア

ドレスを固定サイズ分インクリメントした値をレジスタRG5に格納する。そして第4回目のリクエストに対するフェッチデータは、バイパスレジスタに取り込み、それ経由で入出力装置3に出力する。

【0098】そして第5回目のリクエストアドレスが第3回目のリクエストアドレスに対して連続アドレスである場合、連続アドレス検出部T1はヒットし、既にデータ転送バッファに格納されている第5回目のリクエストアドレスに対するデータを入出力装置3へ出力する。そしてデータプリフェッチ処理を再開する。

【0099】また第5回目のリクエストアドレスが第4回目のリクエストアドレスに対して連続であった場合、連続アドレス検出部T1はヒット信号をアサートせず、T2はヒット信号をアサートする。その場合は、制御部40はイネーブル信号en5をアサートし、第5回目のアドレスに固定サイズ分インクリメントした値をレジスタRG5に取り込む。そしてデータ転送バッファにプリフェッチしているデータを消去し、新たに第5回目のリクエストアドレスに対するデータフェッチを開始する。

【0100】また第5回目のリクエストアドレスが第3回目及び第4回目のいずれかのリクエストアドレスに対しても不連続である場合、制御部40はイネーブル信号en5を出力し、RG5に第5回目のリクエストアドレスを固定サイズ分インクリメントした値を取り込む。そして、第5回目のリクエストアドレスに対するデータは、バイパスレジスタに取り込まれ、入出力装置3に出力される。

【0101】次に、図6に示すバス接続装置5によるデータフェッチ処理のタイミングチャートを図8に示す。タイミングチャートでは、図6の動作説明の箇所述べたデータフェッチ処理の各種信号線の動作を時系列的に示したものである。このタイミングチャートは、バス1とバス3のデータ転送サイズ（データバスのビット数）が同じで、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提としている。X1～X17は、それぞれのクロックサイクルを示している。

【0102】入出力装置から、X1に同期してリクエスト信号R20が出力される。この場合リクエストR20は、前のリクエストのアドレスに対して連続であるリクエストアドレスを持つので、図7で説明したようにht10信号がアサートされ、リクエストr4はプリフェッチ信号としてR20～R26のように連続的に出力される。

【0103】そのプリフェッチリクエストR20～R26に対するデータは、バス接続装置5がバス1のバス権を獲得している限り、データバスd1よりD20～D26として連続的にデータ転送されてくる。

【0104】そしてデータD20～D26は、データ転送バッファに順に取り込まれていく。リクエストR20

10

20

30

40

50

に対するデータD20がデータバスd2より、データコンプリート信号dc2と共に入出力装置3に転送されると、すぐに次の連続アドレスを持つリクエストR21が入出力装置3からバス接続装置5に出力される。

【0105】バス接続装置5のデータ転送制御部では、連続アドレスが検出され、既にプリフェッチされているデータD21を、すぐにデータバスd2より入出力装置に出力する。リクエストR22に対しても同様な処理が実行される。

【0106】ところがリクエストR22の次に、アドレスA22に対して不連続アドレスAXを持つRXが入出力装置5より出力されると、ht10信号がアサートされずにプリフェッチリクエストr4がストップされ、そのリクエストRXに対するデータDXは、データバスd1よりバイパスレジスタに取り込まれ、そのレジスタを介してデータバスd2より、入出力装置3へ出力される。

【0107】そして、次に、アドレスA22に連続であるアドレスA23を持つリクエストR24が入出力装置3からバス接続装置5に出力された場合、連続アドレスヒット信号がアサートされるので、即座に既にプリフェッチされているデータD23がデータ転送バッファより入出力装置3へ出力される。そして、データ転送バッファのプリフェッチ処理が次のプリフェッチアドレスA27からスタートされる。

【0108】実施例5. 次に、図6に示すバス接続装置の構成データ転送サイズが複数ある場合に対応した他の実施例について説明する。通常の複数サイズの連続アドレスに対するデータフェッチの処理は、実施例2及び3で説明した通りである。この実施例5のバス接続装置は、データ転送バッファ制御部に図3及び図4で示した制御回路部S2及びS3を2個内蔵しており、サイズの異なるリクエストでしかも連続不連続アドレスのリクエストに対応したバイパス経路処理を行なう機能を有する。

【0109】この実施例5のデータ転送装置では、不連続アドレスの判定の制御回路(実施例4の図7)が異なるのみで、バイパス経路等を用いたデータフェッチの処理等は、図6で説明したデータ転送装置と同じである。

【0110】実施例6. 次に、メモリ装置からバス接続装置に対するデータ転送時にエラーが発生した場合の実施例について説明する。エラーが発生しない時の通常のデータ転送処理は、図1を用いて行なった実施例1と同じである。エラーが発生しない時の回路構成も図1と同じである。

【0111】エラーが発生した場合、メモリ装置からエラー信号がバス接続装置のデータ転送制御部に入力される。データ転送制御部では、エラー信号が入力されると、リトライ処理制御回路を内蔵していないので当然リトライ処理を行わずに、データ転送バッファにプリフ

ェッチされているデータを消去する。

【0112】次に、実施例6のバス接続装置によるエラー発生時のデータフェッチ処理のタイミングチャートを図9に示す。このタイミングチャートは、バス1とバス3のデータ転送サイズ(データバスのビット数)が同じで、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提にしている。X1~X14は、それぞれのクロックサイクルを示している。入出力装置から、X1に同期してリクエスト信号R30が出力される。

【0113】この場合リクエストR30は、前のリクエストのアドレスに対して連続であるリクエストアドレスであるので、図2で説明したようにht信号がアサートされ、リクエストr5はプリフェッチ信号としてR30~R35のように連続的に出力される。

【0114】そのプリフェッチリクエストR30~R35に対するデータは、バス接続装置がバス1のバス権を獲得している限り、データバスd1よりD30~D35として連続的にデータ転送されてくる。

【0115】ところが、データD33(図9の斜線部データ)のメモリ装置からバス接続装置へのデータ転送でエラーが検出され、エラー信号dpeが発生した場合、プリフェッチリクエストr5はストップされ、プリフェッチされているデータ転送バッファ内のデータは消去される。リトライ処理用の制御回路は内蔵していないのでリトライ処理は行なわれない。

【0116】そしてリクエストR30に対するデータD30がデータバスd2より、データコンプリート信号dc2と共に入出力装置に転送されると、すぐに次の連続アドレスを持つリクエストR31が入出力装置からバス接続装置に出力される。バス接続装置のデータ転送制御部では連続アドレスが検出され、既にプリフェッチされているデータD31を、即座にデータバスd2より入出力装置に出力する。

【0117】さらに、リクエストR32が入出力装置からバス接続装置に出力された場合、既にエラーが発生しデータ転送バッファ内のデータが消去された後なので、リクエストR32に対するデータフェッチは、図19に示すリクエストR3に対するデータフェッチ処理と同様なシーケンスでデータフェッチ処理が実行される。

【0118】実施例7. さらに、メモリ装置からバス接続装置に対するデータ転送時にエラーが発生した場合の他の実施例のバス接続装置について、図10に基づいて説明する。従来例と同様に、回路構成図は入出力装置からメモリ装置に対してデータフェッチ処理のみしか記述していない。

【0119】1はメモリ装置、3は入出力装置、6はこの実施例7のバス接続装置である。メモリ装置とバス接続装置はバス1で接続されており、入出力装置3とバス接続装置6はバス3で接続されている。

【0120】次に入出力装置3とバス接続装置6間のインターフェイス信号について説明する。a1はアドレス信号線、cm1はコマンド制御信号線、r4はリクエスト信号線、g2はアクノリッジ信号線、dc2はデータコンプリート信号線、d2はデータ信号線である。

【0121】次にメモリ装置1とバス接続装置6間のインターフェイス信号について説明する。a2はアドレス信号線、r4はプリフェッチリクエスト信号線、g1はアクノリッジ信号線、dc1はデータコンプリート信号線、cm2はデータ転送エラーを検出するための制御信号線、efはエラーフラグレジスタの値を入出力装置3へ出力するための信号線、d1はデータ信号線である。c1、c2、c20、c21、c22、c23、c24は、データフェッチを制御するための制御信号線である。

【0122】10はアドレス出力トライステートバッファ、16はリクエストアドレス生成部、23はデータ転送制御部、14はデータ転送バッファ、15はデータ出力トライステートバッファ、24はデータ転送バッファ制御部、18はエラーフラグレジスタである。エラーフラグレジスタは、データ転送バッファ内のレジスタに1対1に対応している。

【0123】次に、図10に示すバス接続装置の動作について説明する。通常の固定サイズの連続アドレスに対するデータフェッチの処理は、図1の実施例1で説明した通りである。この実施例7で実施例1と異なるのは、メモリ装置3からバス接続装置6へのデータ転送時にエラーが発生した場合のデータフェッチ処理である。すなわち、データ転送制御部23へは、メモリ装置1からデータが送られてくる際に、データコンプリート信号dc1と共に、データのエラーを検出するための制御信号cm2が送られてくる。制御信号cm2の内容からデータ転送制御部23内の制御回路でデータ転送エラーを検出した場合、データ転送バッファ制御部を介して制御信号c24により、そのエラー発生源のデータを取り込んだデータ転送バッファ内のレジスタに対応したエラーフラグレジスタに有効ビットをセットする。そしてそのエラーフラグレジスタの値は、データがバス接続装置6から入出力装置へデータバスd2を介して出力される時に、同時に信号線efを介して出力される。

【0124】次に、図10のバス接続装置6によるエラー発生時のデータフェッチ処理のタイミングチャートを図11に示す。このタイミングチャートは、バス1とバス3のデータ転送サイズ（データバスのビット数）が同じで、しかもバス1とバス3とバス接続装置が同一クロック信号CLKに同期して動作していることを前提にしている。X1～X12は、それぞれのクロックサイクルを示している。

【0125】入出力装置3から、X1に同期してリクエスト信号R40が出力される。この場合リクエストR4

0は、前のリクエストのアドレスに対して連続であるリクエストアドレスであるので、図2で説明したようにh1信号がアサートされ、リクエストr5はプリフェッチ信号としてR40～R45のように連続的に出力される。

【0126】そのプリフェッチリクエストR40～R45に対するデータは、バス接続装置6がバス1のバス権を獲得している限り、データバスd1よりD40～D45として連続的にデータ転送されてくる。ところが、データD43（図11の斜線部データ）のメモリ装置からバス接続装置へのデータ転送でエラーが検出され、エラー信号dpeが発生した場合、リトライ処理用の制御回路は内蔵していないのでリトライ処理は行なわれない。その代わりに、エラー発生源のデータを格納したデータ転送バッファ内のレジスタに対応したエラーフラグレジスタに有効ビットをセットしておく。

【0127】そしてリクエストR40に対するデータD40がデータバスd2より、データコンプリート信号dc2と共に入出力装置3に転送されると、すぐに次の連続アドレスを持つリクエストR41が入出力装置3からバス接続装置6に出力される。バス接続装置6のデータ転送制御部では連続アドレスが検出され、既にプリフェッチされているデータD41を、即座にデータバスd2より入出力装置3に出力する。

【0128】さらに、リクエストR42が入出力装置3からバス接続装置6に出力された場合も同様にデータD42を入出力装置3に出力する。さらに、リクエストR43が入力された場合は、そのアドレスに対するデータD43を入出力装置3に出力すると共に、エラーフラグの読みだし信号efにセットされた値が出力される。この値を入出力装置に伝えることにより、D43は不正なデータであることを伝達する。

【0129】実施例8. さらに、入出力装置が2個以上接続され、その入出力装置に対してそれぞれ入出力バッファを持つ実施例のバス接続装置について、図12に基づいて説明する。従来例と同様に、図12の回路構成は入出力装置からメモリ装置に対してデータフェッチ処理のみしか記述していない。

【0130】1はメモリ装置、103は入出力装置、104は入出力装置、7はこの実施例8のバス接続装置である。メモリ装置1とバス接続装置はバス1で接続されており、入出力装置1及び2とバス接続装置7は、それぞれ専用バスで接続されている。

【0131】次に入出力装置1及び2とバス接続装置7間のインターフェイス信号について説明する。a3、a4はアドレス信号線、cm3、cm4はコマンド制御信号線、r10、r11はリクエスト信号線、g3、g4はアクノリッジ信号線、dc3、dc4はデータコンプリート信号線、d3、d4はデータ信号線である。

【0132】次にメモリ装置1とバス接続装置7間のイ

10

20

30

40

50

インターフェイス信号について説明する。a 2はアドレス信号線、r 6はデータフェッチリクエスト信号線、g 1はアクノリッジ信号線、d c 1はデータコンプリート信号線、d 1はデータバスである。

【0133】10はアドレス出力トライステートバッファ、29はリクエストアドレス生成部、28はリクエストr 6生成部、27はデータ転送制御部、14 a、14 bはデータ転送バッファ、15はデータ出力トライステートバッファ、25は入出力装置1用のデータ転送バッファ制御部、26は入出力装置2用のデータ転送バッファ制御部である。S 10は入出力装置1用の連続アドレス検出部、S 11は入出力装置2用の連続アドレス検出部であり、図2に示すS 1と同じものである。そして、S 10、S 11の出力p 3、p 4は、それぞれ入出力装置1及び2用のデータ転送バッファのプリフェッチリクエストである。

【0134】図12に示すように、リクエストr 6生成部では、入出力装置1及び2のリクエストr 10、r 11と入出力装置1及び2のデータ転送バッファのプリフェッチリクエストp 3、p 4の4個のリクエスト信号を20 調停することになる。調停する場合は通常、それぞれのリクエストに対してL R U制御等を行ない、一つのリクエストばかり受け付けることのないようにしている。そして、このような制御の元にプライオリティの高いリクエストから順に受け付けることになる。そのプライオリティ制御例として次のようなものを提案し、それに即して動作を説明する。

【0135】フェッチリクエストr 10、r 11とプリフェッチリクエストp 3、p 4は、フェッチリクエストを優先する。入出力装置1と入出力装置2のフェッチリクエストr 10、r 11が重なると、前回受け付けてない方を優先する。入出力装置1と入出力装置2のプリフェッチリクエストp 3、p 4が重なると、前回受け付けてない方を優先する。

【0136】次に、図12のバス接続装置によるデータフェッチ処理の動作をタイミングチャート図13に基づいて説明する。まず、ほぼ同時に入出力装置1と2からフェッチリクエストR 110とR 120がそれぞれ出力されると、リクエストr 6生成部では、まずプライオリティの高いリクエストR 110を受け付けて、入出力装置1に対してg 1を返す。

【0137】すると入出力装置1は、そのリクエストに対するリクエストアドレスA 110をバス接続装置に対して出力する。バス接続装置では、そのアドレスを受け付けると、R 110に対するリクエストをr 6に出力する（この場合、バス1はノーウェイトでデータ転送が行なわれていると仮定する）。

【0138】そのリクエストR 110に対して、g 1がメモリ装置1から返されると、すぐに入出力装置2からのリクエストR 120が受け付けられて、入出力装置2

に対してg 4を返す。すると入出力装置2は、アドレスA 120をバス接続装置7に対して出力する。メモリ装置1からリクエストR 110に対するデータD 110が転送され、さらに入出力装置1に対してデータコンプリート信号d c 2と共にデータバスd 3を介して出力される。

【0139】すると、次のリクエストR 111が入出力装置1からバス接続装置7へ出力される。同様に、入出力装置2に対してもデータD 120が入力されると、次のリクエストR 121をバス接続装置7に対して出力する。バス接続装置7でリクエストR 111を受け付けると、連続アドレス検出部S 10で入出力装置1からのリクエストアドレスが連続であることを検出し、次のプリフェッチリクエストp 3を次のアドレスA 112に対して出力する。

【0140】メモリ装置1でリクエストR 111を受け付けてそれに対してg 1が返されると、リクエストr 6生成部28では、入出力装置2からのリクエストR 121とプリフェッチリクエストP 112を調停して、リクエストR 121を受け付ける。すると同様に連続アドレス検出部S 11で、入出力装置2からのリクエストアドレスが連続であることを検出し、プリフェッチリクエストp 4を次の連続アドレスA 122に対して出力する。

【0141】そしてそのリクエストR 121に対するメモリ装置1からのデータフェッチが実行される。メモリ装置1でリクエストR 112が受け付けられた次のタイミングで、プリフェッチリクエストP 112が受け付けられて、リクエストr 6から出力される。

【0142】そしてメモリ装置1でリクエストP 112が受け付けられた次のタイミングで、リクエストr 6生成部28では、プリフェッチリクエストP 113とP 122を調停し、P 122を出力する。そしてメモリ装置1でリクエストP 122が受け付けられたタイミングで、入出力装置1からリクエストR 112が出力されるが、既にプリフェッチされているのでヒット信号h t 10がアサートされ、そのデータD 112が入出力装置1へ出力される。

【0143】このように、入出力装置1及び2からのリクエストがヒットした場合（データ転送バッファ内にフェッチ対象データが既に存在する）、リクエストr 6生成部28では調停対象のリクエストとみなさない。

【0144】このような処理を通して、バス接続装置内の入出力装置が2つ以上接続された場合、それぞれの入出力装置に対してデータ転送バッファとそれに付随した制御回路を内蔵することにより、効率的にデータ転送可能である。これらの効率性は、リクエストの調停の手法に依存することは間違いない。また、この実施例8のデータ転送装置は、特に、バス1のデータ転送効率が入出力装置間とバス接続装置間のデータ転送効率よりも優れている場合に効果を発揮する。

【0145】

【発明の効果】以上のように、請求項1または請求項2の発明によれば、上記記憶装置からデータを読み出す読出手段と、上記読出手段により読み出したデータを保持するデータバッファと、上記データバッファからデータを取り出して、上記入出力装置へ出力する出力手段と、上記記憶装置からデータを読み出して上記入出力装置へ転送する転送手段と、上記入出力装置からの第1の要求アドレスが前回の要求アドレスと連続しているかどうか判定するとともに、上記入出力装置からの第2の要求アドレスが上記データバッファに格納された複数のデータのアドレスと一致するかどうか判定する判定器と、上記判定器によりアドレスが連続していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御するとともに、上記判定器によりアドレスが一致していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記入出力装置へ転送するように上記転送手段を制御する第1の制御部と、上記判定器によりアドレスが連続していると判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記データバッファに格納するように上記読出手段を制御するとともに、上記判定器によりアドレスが一致していると判定されたときに、上記データバッファから対応するデータを読み出して上記入出力装置へ出力するように上記出力手段を制御する第2の制御部とを備えたので、簡単な構成で効率の良いデータ転送が可能になる。

【0146】また、請求項3の発明によれば、上記複数の入出力装置に対応して上記記憶装置からデータをそれぞれ読み出す複数の読出手段と、上記複数の読出手段により読み出したデータをそれぞれ保持する複数のデータバッファと、上記複数のデータバッファからデータを取り出して、上記複数の入出力装置へそれぞれ出力する複数の出力手段と、上記記憶装置からデータを読み出して上記複数の入出力装置へ転送する転送手段と、上記複数の入出力装置からの第1の要求アドレスが前回の要求アドレスと連続しているかどうかそれぞれ判定するとともに、上記複数の入出力装置からの第2の要求アドレスが上記複数のデータバッファに格納された複数のデータのアドレスと一致するかどうかそれぞれ判定する複数の判定器と、上記複数の判定器によりアドレスが連続していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御するとともに、上記複数の判定器によりアドレスが一致していないと判定されたときに、上記第1の要求アドレスのデータを上記記憶装置から読み出して上記複数の入出力装置へ転送するように上記転送手段を制御する複数の第1の制御部と、上記複数の判定器によりアドレスが連続していると

判定されたときに、上記第1の要求アドレスに連続したアドレスの複数のデータを上記記憶装置から読み出して上記複数のデータバッファにそれぞれ格納するように上記読出手段を制御するとともに、上記複数の判定器によりアドレスが一致していると判定されたときに、上記複数のデータバッファから対応するデータを読み出して上記複数の入出力装置へそれぞれ出力するように上記複数の出力手段を制御する複数の第2の制御部と、上記複数の入出力装置からの複数の要求をあらかじめ定められた優先順位に基づき選択する選択部とを備えたので、記憶装置に複数の入出力装置が接続された場合でも、簡単な構成で効率の良いデータ転送が可能になる。

【0147】また、請求項4の発明によれば、上記データバッファをバイパスするように設けられ、上記記憶装置からデータを読み出して上記入出力装置へデータを転送するバイパス手段を備え、上記第2の制御部が、連続アドレスの条件が成立した後に不連続アドレスを受けたとき、上記不連続アドレスに対応するデータについて上記バイパス手段によりデータ転送を行うように制御するので、さらに、連続アドレスに対して処理しているときに不連続アドレスを受けた場合でも、不連続アドレスについてデータ転送を行うことができるという効果を奏する。

【0148】また、請求項5の発明によれば、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上記エラーが発生したときに上記データバッファの内容を消去する消去手段とを備えたので、データ転送の際のエラーの影響を低減できる。

【0149】また、請求項6の発明によれば、上記読出手段が上記記憶装置からデータを読み出す際のエラーの発生を監視する監視手段と、上記エラーが発生したときにエラーデータに対応するフラグがセットされるエラーフラグレジスタとを備えたので、データ転送の際のエラーの影響を低減しつつ、エラーの生じたデータ以外のデータ転送を効率よく行える。

【0150】また、請求項7ないし請求項9の発明によれば、上記判定器に、前回の要求アドレスと前回のデータ転送サイズとを加算して得たアドレスと、上記入出力装置からの要求アドレスとを比較する第1の比較器と、上記入出力装置からの今回のデータ転送サイズとあらかじめ定められた最大転送サイズとを比較する第2の比較器と、上記第1の比較器が一致を出力し、かつ、上記第2の比較器が上記今回のデータ転送サイズが上記最大転送サイズ以内であることを出力するときに、上記要求アドレスが連続していると判定する論理回路とを備えたので、転送するデータのサイズが複数の種類ある場合にも適用できる。

【図面の簡単な説明】

【図1】 この発明の実施例1に係るバス接続装置の機

10

20

30

40

50

能ブロック図である。

【図 2】 この発明の実施例 1 のバス接続装置のデータ転送制御部 21 の詳細な機能ブロック図である。

【図 3】 この発明の実施例 1 に係るバス接続装置におけるデータフェッチ処理のタイミングチャートである。

【図 4】 この発明の実施例 2 に係るバス接続装置の機能ブロック図である。

【図 5】 この発明の実施例 3 に係るバス接続装置の機能ブロック図である。

【図 6】 この発明の実施例 4 に係るバス接続装置の機能ブロック図である。

【図 7】 この発明の実施例 4 のバス接続装置のデータ転送制御部 22 内のデータ転送バッファとバイパスレジスタの切り替えを行なう制御回路の機能ブロック図である。

【図 8】 この発明の実施例 4 に係るバス接続装置におけるデータフェッチ処理のタイミングチャートである。

【図 9】 この発明の実施例 6 に係るバス接続装置におけるエラー発生時のデータフェッチ処理のタイミングチャートである。

【図 10】 この発明の実施例 7 に係るバス接続装置の機能ブロック図である。

【図 11】 この発明の実施例 7 に係るバス接続装置におけるエラー発生時のデータフェッチ処理のタイミングチャートである。

【図 12】 この発明の実施例 8 に係るバス接続装置の機能ブロック図である。

【図 13】 この発明の実施例 8 に係るバス接続装置におけるデータフェッチ処理のタイミングチャートである。

【図 14】 一般的なコンピュータシステムの概略図である。

【図 15】 従来のバスブリッジ型のバス接続装置の機能ブロック図である。

【図 16】 従来のバスブリッジ型のバス接続装置におけるデータフェッチ処理のタイミングチャートである。

【図 17】 従来の DMA 制御装置を用いたバス接続装置の機能ブロック図である。

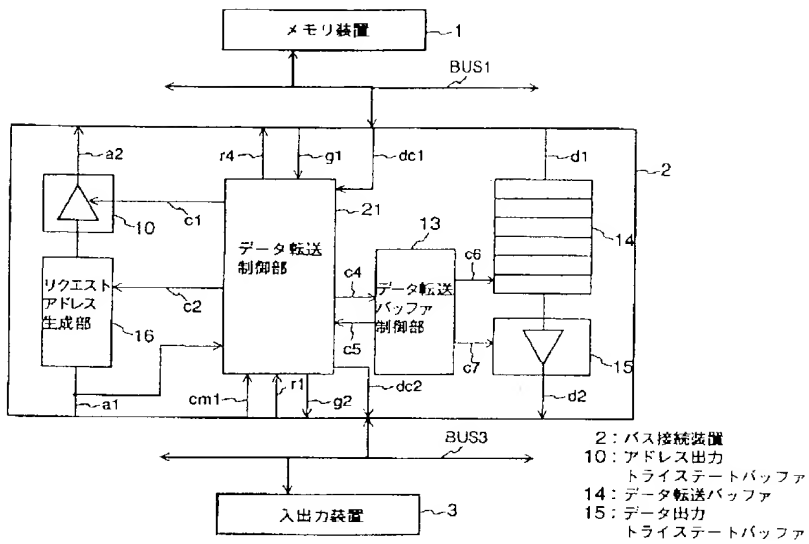
【図 18】 従来の DMA 制御装置を用いたバス接続装置のデータ転送バッファ 14 及びデータ転送バッファ制御部 13 そしてデータ転送量制御部 20 の詳細な回路構成図である。

【図 19】 従来の DMA 制御装置を用いたバス接続装置におけるデータフェッチ処理のタイミングチャートである。

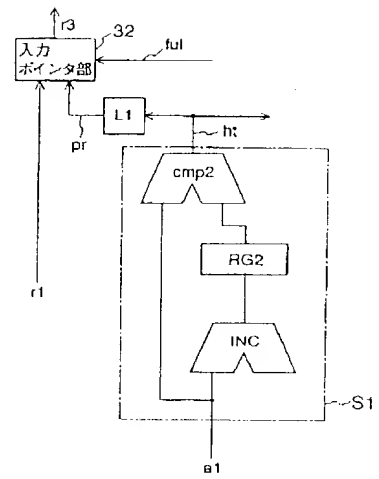
【符号の説明】

1 メモリ装置、2 バス接続装置、3 入出力装置、5 バス接続装置、6 バス接続装置、7 バス接続装置、10 アドレス出力トライステートバッファ、11 アドレスレジスタ、12 データ転送制御部、13 データ転送バッファ制御部、14 データ転送バッファ、15 データ出力トライステートバッファ、16 リクエストアドレス生成部、17 バイパスレジスタ、18 エラーフラグレジスタ、19 データ転送制御部、20 データ転送量制御部、21 データ転送制御部、22 データ転送制御部、23 データ転送制御部、24 データ転送バッファ制御部、25 入出力装置 1 用のデータ転送バッファ制御部、26 入出力装置 2 用のデータ転送バッファ制御部、27 データ転送制御部、28 リクエスト生成部、29 リクエストアドレス生成部、30 有効フラグレジスタ、31 ブリフェッチリクエスト r3 を生成するための制御部、32 入力ポインタ部、33 出力ポインタ部、34 ブリフェッチリクエスト r3 生成部、40 制御回路、100 バス接続装置を含まないコンピュータシステム、101 バス接続装置を含むコンピュータシステム、110 バスブリッジで構成されるバス接続装置、111 バス接続装置。

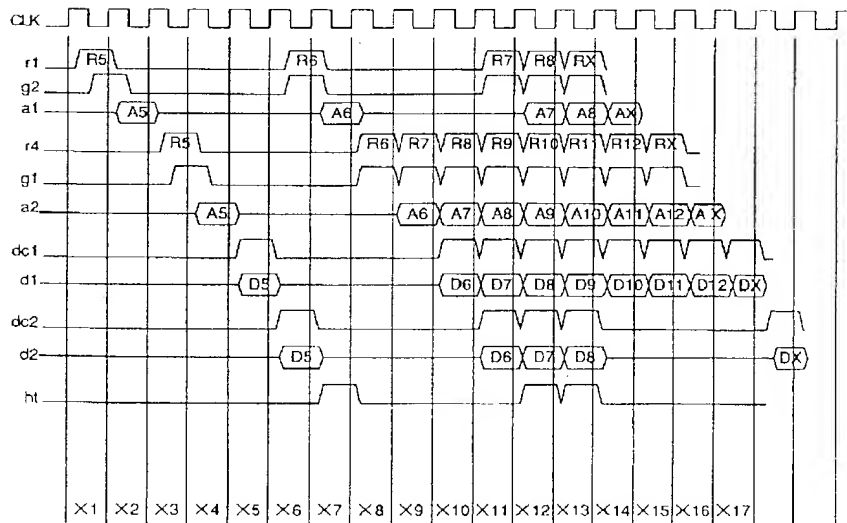
【図 1】



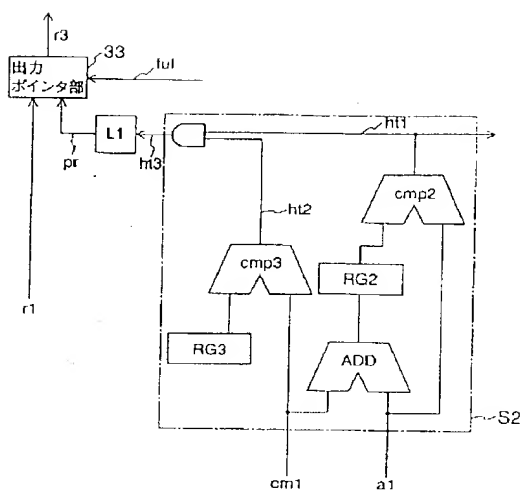
【図 2】



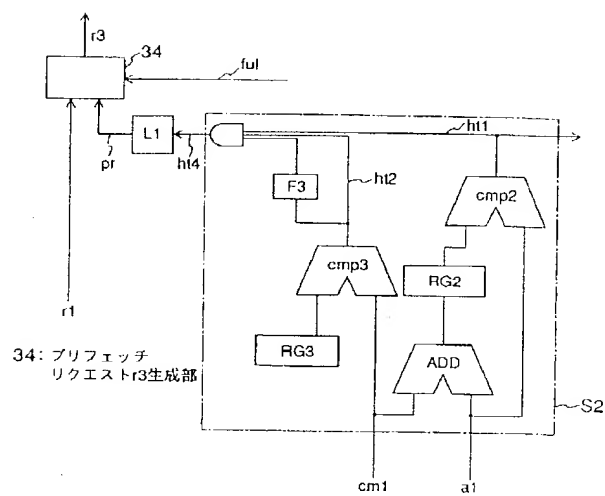
【図 3】



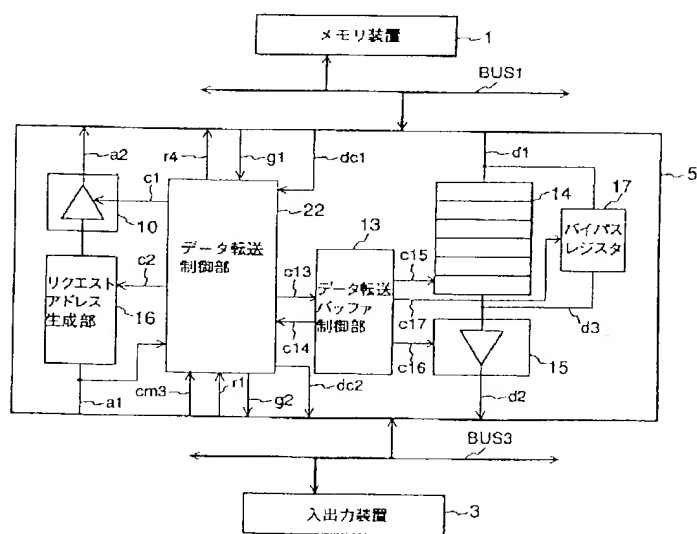
【図 4】



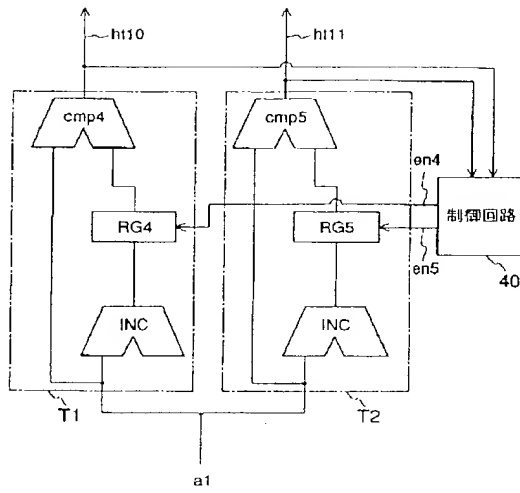
【図 5】



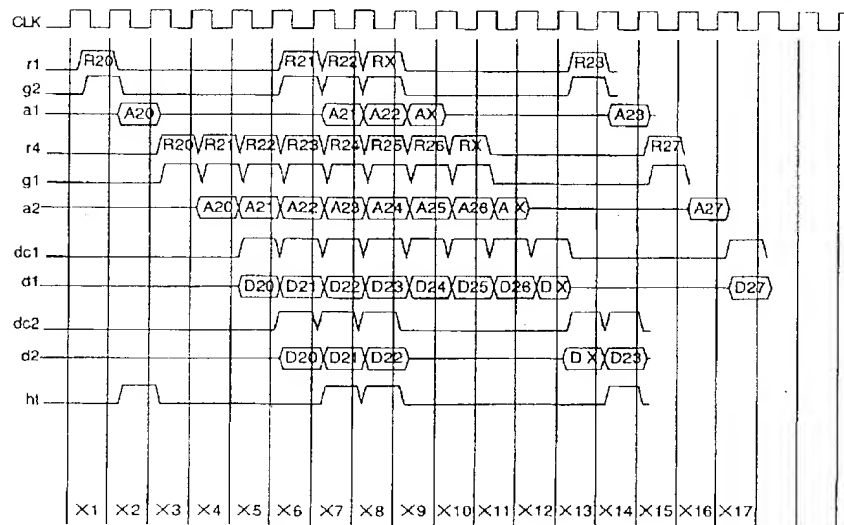
【図 6】



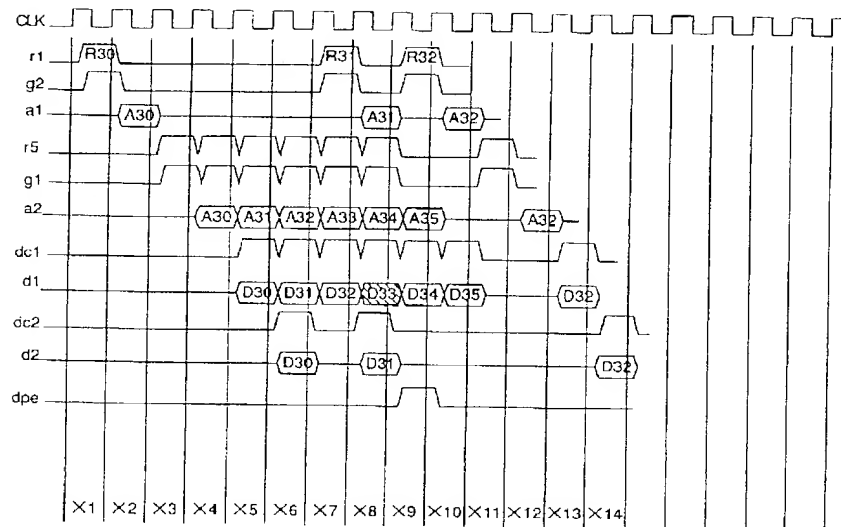
【図7】



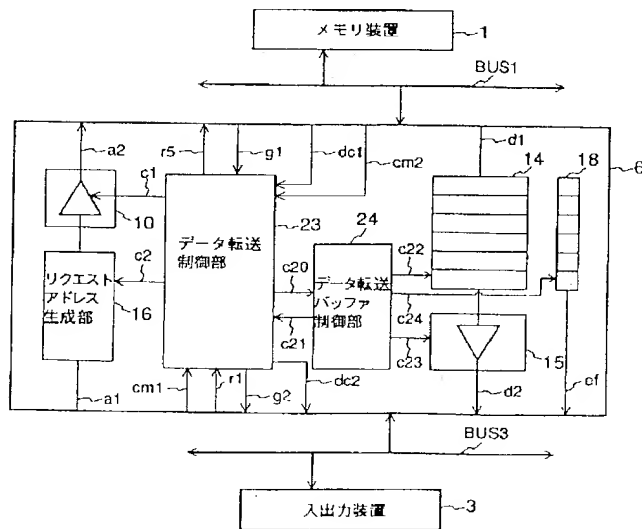
【図8】



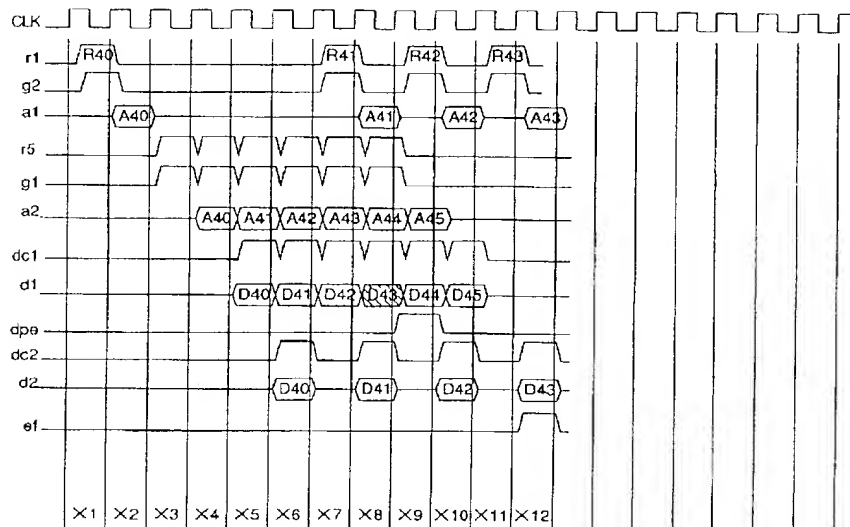
【図 9】



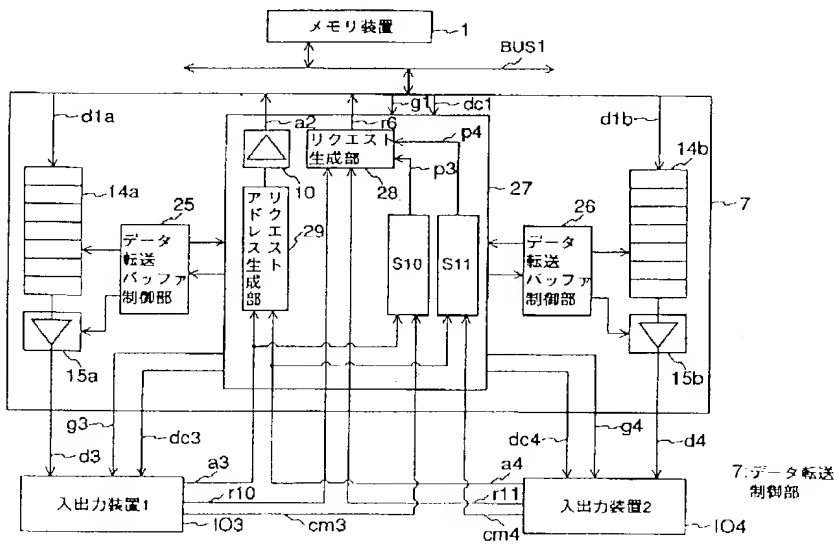
【図 10】



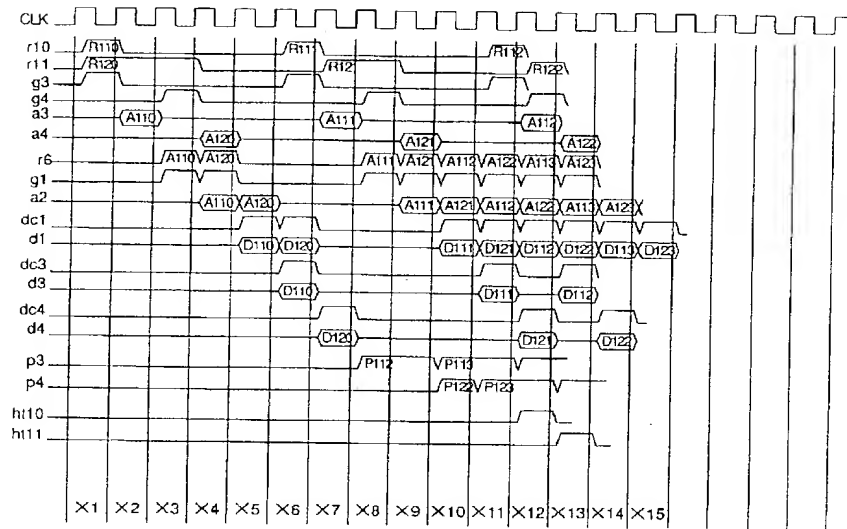
【圖 1 1】



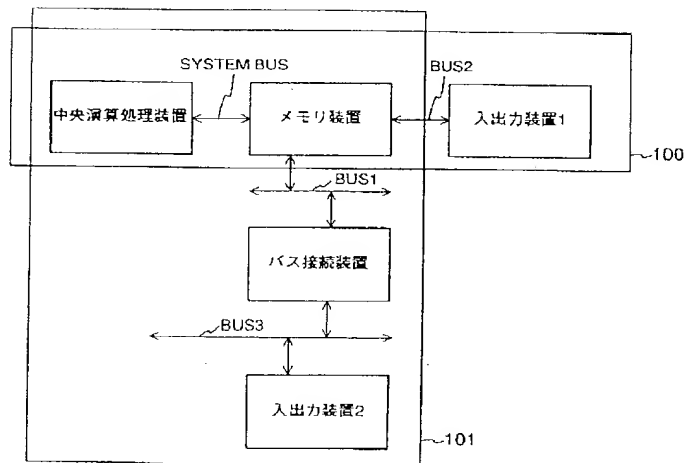
【图 12】



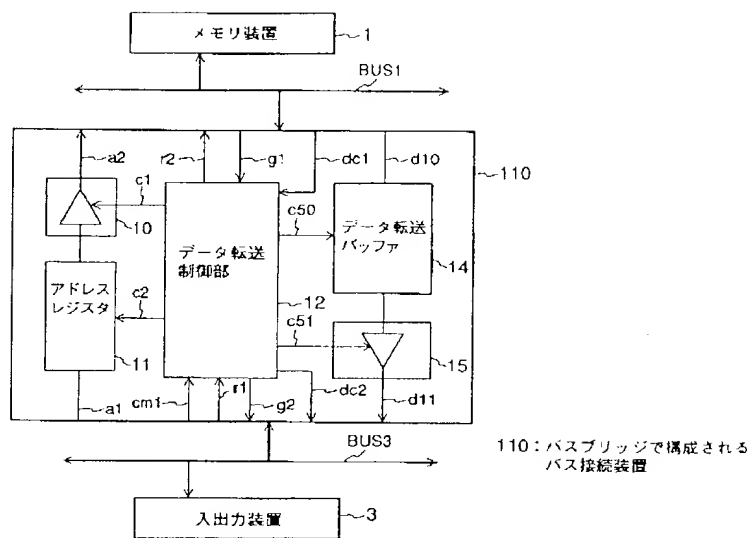
【図13】



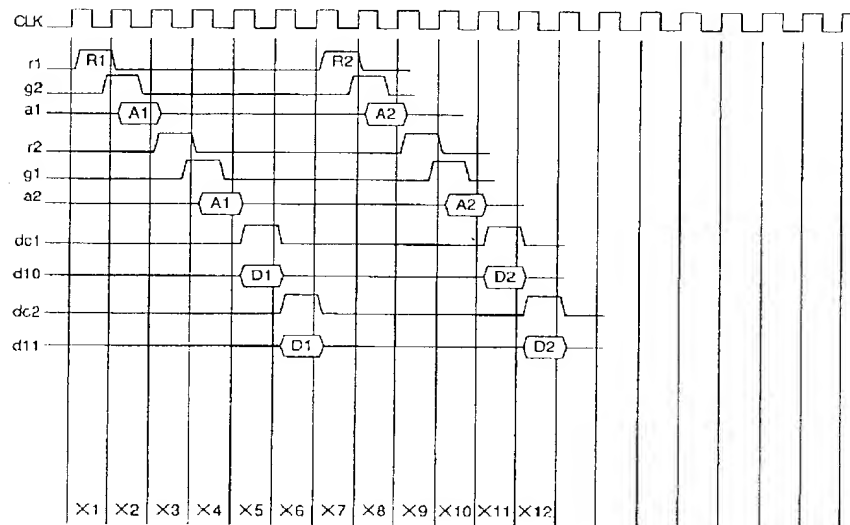
【図14】



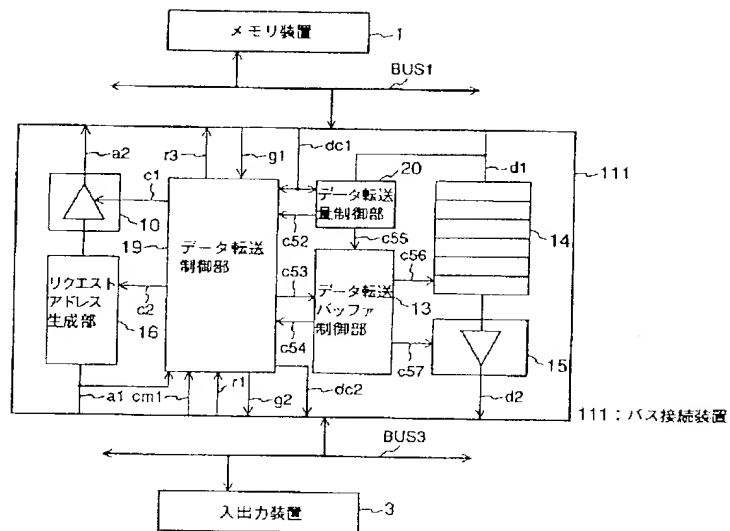
【図15】



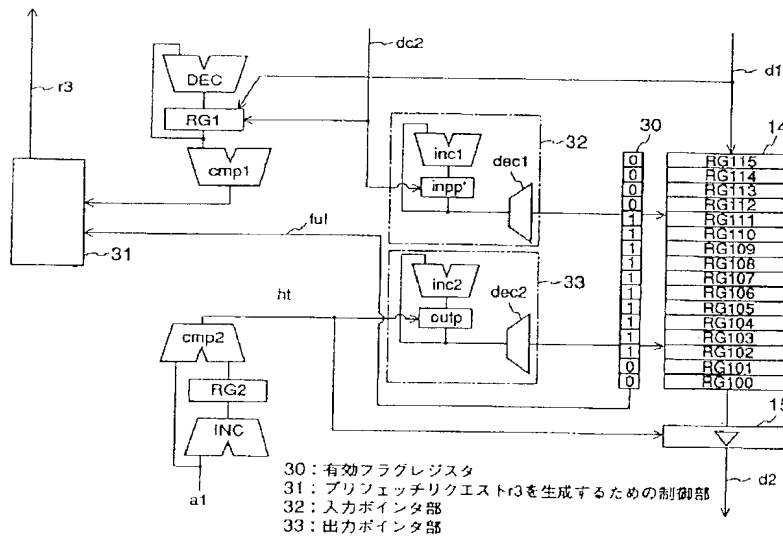
【図16】



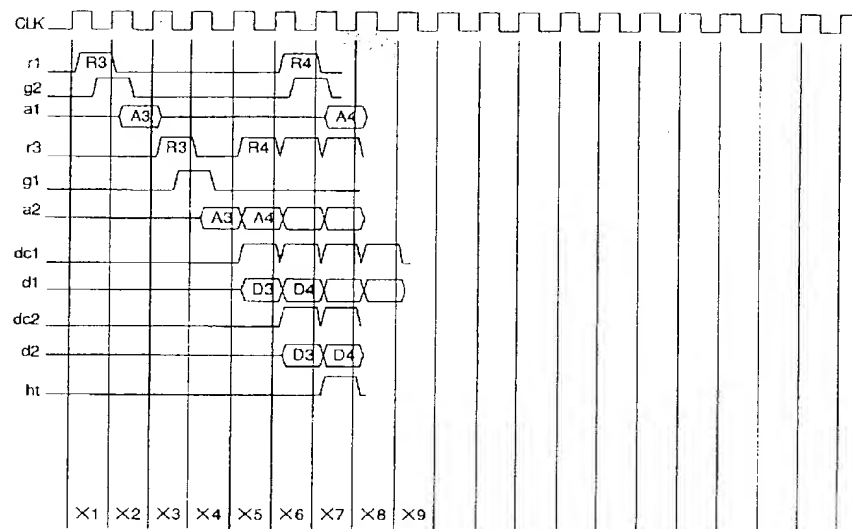
【図17】



【図18】



【図 19】



フロントページの続き

(72)発明者 橋詰 雅樹

鎌倉市大船五丁目 1 番 1 号 三菱電機株式
会社情報システム研究所内

THIS PAGE BLANK (USPTO)